

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-086816
 (43)Date of publication of application : 20.03.2003

(51)Int.Cl.

H01L 29/872
 C23C 14/48
 H01L 21/205
 H01L 21/265
 H01L 21/336
 H01L 29/78

(21)Application number : 2001-271419

(22)Date of filing : 07.09.2001

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

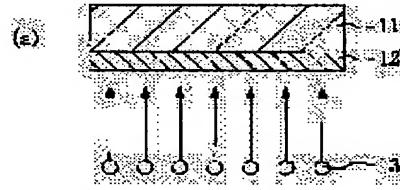
(72)Inventor : TAKAHASHI KUNIMASA
 UCHIDA MASAO
 KUSUMOTO OSAMU
 YOKOGAWA TOSHIYA
 YAMASHITA MASAYA
 MIYANAGA RYOKO
 KITAHATA MAKOTO

(54) SiC SUBSTRATE, SiC SEMICONDUCTOR ELEMENT, AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a large capacity of SiC substrate whose power loss is small, an SiC semiconductor element, and a method for manufacturing this by providing a means for reducing contact resistance between an SiC substrate back face and an ohmic electrode.

SOLUTION: An injection layer 12 is formed by injecting dopant ions 13 whose density is not less than the carrier density of an SiC balk substrate 11 in multi-levels on the back face of the SiC balk substrate 11. Afterwards, the substrate is heated in a CVD, and an SiC epitaxial growth layer 14 is formed on the SiC balk substrate 11. At the same time, the dopant ions injected to the back face of the substrate are activated, and an impurity dope layer 15 is formed. The impurity dope layer 15 is formed on the back face side of the substrate so that contact resistance can be reduced at the time of forming an ohmic electrode on the back face of the substrate, and that a large capacity of SiC semiconductor element whose power loss is small can be manufactured.



*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A SiC substrate comprising:

A SiC bulk board.

An impurity dope layer which consists of SiC which is provided in the field side which counters the principal surface of the above-mentioned SiC bulk board, and contains an impurity by different concentration from an interior area of the above-mentioned SiC bulk board.

[Claim 2]A SiC substrate, wherein a conductivity type of an impurity contained in an interior area and the above-mentioned impurity dope layer of the above-mentioned SiC bulk board is mutually the same in the SiC substrate according to claim 1 and the above-mentioned impurity dope layer contains an impurity at high concentration rather than an interior area of the above-mentioned SiC bulk board.

[Claim 3]A SiC substrate, wherein an epitaxial growth layer which consists of SiC grown epitaxially on the principal surface of the above-mentioned SiC substrate in the SiC substrate according to claim 1 or 2 is provided further.

[Claim 4]A SiC substrate, wherein a peak of impurity concentration contained [any / one] in the above-mentioned impurity dope layer in a SiC substrate of a statement among claims 1-3 is in a field less than 1000 nm deep from the surface among the above-mentioned impurity dope layers.

[Claim 5]A SiC semiconductor device comprising:

A SiC bulk board.

An epitaxial growth layer which consists of SiC containing an impurity grown epitaxially on the principal surface of the above-mentioned SiC bulk board.

At least one upper electrode which consists of conductors provided on the above-mentioned epitaxial growth layer. A lower electrode used as an impurity dope layer which consists of SiC which contains an impurity provided in the principal surface [of the above-mentioned SiC bulk board], and field side which counters by different concentration from an interior area of the above-mentioned SiC bulk board, and an ohmic electrode provided on the above-mentioned impurity dope layer.

[Claim 6]A SiC semiconductor device, wherein a conductivity type of an impurity contained in an interior area and the above-mentioned impurity dope layer of the above-mentioned SiC bulk board is mutually the same in the SiC semiconductor device according to claim 5 and the above-mentioned impurity dope layer contains an impurity at high concentration rather than an interior area of the above-mentioned SiC bulk board.

[Claim 7]A SiC semiconductor device, wherein a conductivity type of an impurity contained in the above-mentioned epitaxial growth layer is the same as a conductivity type of an impurity contained in an interior area of the above-mentioned SiC bulk board and functions as Schottky diodes in the SiC semiconductor device according to claim 5.

[Claim 8]In the SiC semiconductor device according to claim 5, the above-mentioned SiC bulk board including the 1st conductivity-type impurity the above-mentioned epitaxial growth layer, The 1st epitaxial layer of the 1st conductivity type provided on the above-mentioned SiC bulk board, The 2nd epitaxial layer of the 2nd conductivity type provided on the 1st epitaxial layer of the above, It has the 3rd epitaxial layer of the 1st conductivity type provided on the 2nd epitaxial layer of the above, A SiC semiconductor device which functions as a vertical mold MOSFET which has a gate electrode which consists of a conductor which the above-mentioned upper electrode touched the 3rd epitaxial layer of the above, penetrated the 2nd and 3rd epitaxial layers of the above, and was provided on the 1st epitaxial layer of the above.

[Claim 9]A SiC semiconductor device, wherein a peak of impurity concentration contained [any / one] in the above-mentioned impurity dope layer in a SiC semiconductor device of a statement among claims 5-8 is in a field less than 1000 nm deep from the surface among the above-mentioned impurity dope layers.

[Claim 10]A manufacturing method of a SiC substrate characterized by comprising the following.

A process of forming an impurity dope layer which contains an impurity by concentration which pours in impurity ion into a SiC bulk board, and is different from an interior area of the above-mentioned SiC bulk board (a).

A process (b) of activating an impurity contained in the above-mentioned impurity dope layer by carrying out annealing of the substrate after the above-mentioned process (a).

A process (c) of growing SiC epitaxially with a CVD method and depositing an epitaxial growth layer on the principal surface of the above-mentioned SiC bulk board, and a field which counters.

[Claim 11]In a manufacturing method of the SiC substrate according to claim 10, impurity ion poured in into the

above-mentioned SiC bulk board at the above-mentioned process (a). A manufacturing method of a SiC substrate, wherein impurity concentration contained in an impurity dope layer which is the same conductivity type as an impurity contained in an interior area of the above-mentioned SiC bulk board, and was formed is higher than impurity concentration of an interior area of the above-mentioned SiC bulk board.

[Claim 12]A manufacturing method of a SiC substrate, wherein the above-mentioned process (b) and a process (c) are simultaneously performed in a manufacturing method of the SiC substrate according to claim 10 or 11.

[Claim 13]In a manufacturing method of a SiC substrate of any one statement among claims 10-12, A peak of impurity concentration which heat-treats a substrate and is contained in the above-mentioned impurity dope layer, A manufacturing method of a SiC substrate with which the process is characterized by being carried out simultaneously with the above-mentioned process (c) including further a process to which the surface of the above-mentioned impurity dope layer is made to sublime so that it may be located in a field less than 1000 nm deep from the above-mentioned impurity dope layer surface.

[Claim 14]A manufacturing method of a SiC substrate, wherein temperature of a substrate in the above-mentioned process (c) is in the range of 1300-2300 ** in a manufacturing method of a SiC substrate of any one statement among claims 10-13.

[Claim 15]A manufacturing method of a SiC semiconductor device characterized by comprising the following. A process of injecting impurity ion of the 1st conductivity type into a SiC bulk board, and forming an impurity dope layer on the principal surface of the above-mentioned SiC bulk board, and a field which counters (a).

A process (b) of activating an impurity contained in the above-mentioned impurity dope layer by carrying out annealing of the substrate after the above-mentioned process (a).

A process (c) of growing SiC epitaxially with a CVD method and depositing an epitaxial growth layer on a side in which the above-mentioned impurity dope layer of the above-mentioned SiC bulk board is not formed.

A process (d) of forming at least one upper electrode on the above-mentioned epitaxial growth layer, and a process of forming a lower electrode used as an ohmic electrode on the above-mentioned impurity dope layer (e).

[Claim 16]In a manufacturing method of the SiC semiconductor device according to claim 15, impurity ion poured in into the above-mentioned SiC bulk board at the above-mentioned process (a). A manufacturing method of a SiC substrate, wherein impurity concentration contained in an impurity dope layer which is the same conductivity type as an impurity contained in an interior area of the above-mentioned SiC bulk board, and was formed is higher than impurity concentration of an interior area of the above-mentioned SiC bulk board.

[Claim 17]A manufacturing method of a SiC semiconductor device performing simultaneously the above-mentioned process (b) and the above-mentioned process (c) in a manufacturing method of the SiC semiconductor device according to claim 15 or 16.

[Claim 18]In a manufacturing method of a SiC semiconductor device of any one statement among claims 15-17, A peak of impurity concentration which heat-treats a substrate and is contained in the above-mentioned impurity dope layer, A manufacturing method of a SiC semiconductor device with which the process is characterized by being carried out simultaneously with the above-mentioned process (c) including further a process to which the surface of the above-mentioned impurity dope layer is made to sublime so that it may be located in a field less than 1000 nm deep from the above-mentioned impurity dope layer surface.

[Claim 19]In a manufacturing method of a SiC semiconductor device of a statement, among claims 15-18 in the above-mentioned process (c). [any] [one] The 1st epitaxial layer of the 1st conductivity type on the 1st epitaxial layer of the above on the above-mentioned SiC bulk board the 2nd epitaxial layer of the 2nd conductivity type. The 3rd epitaxial layer of the 1st conductivity type is formed in order on the 2nd epitaxial layer of the above, respectively, Before a process (d) after the above-mentioned process (c), The 2nd and 3rd epitaxial layers of the above are penetrated. A manufacturing method of a SiC semiconductor device including further a process (c'') of forming a gate electrode above the 1st epitaxial layer of the above for a process (c') and the above-mentioned trench which form a trench which results in the 1st epitaxial layer of the above on both sides of wrap gate dielectric film.

[Claim 20]A manufacturing method of a SiC semiconductor device, wherein temperature of a substrate in the above-mentioned process (c) is in the range of 1300-2300 ** in a manufacturing method of the SiC semiconductor device according to claim 15 to 19.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to a silicon carbide substrate, a silicon carbide semiconductor device, and a manufacturing method for the same.

[0002]

[Description of the Prior Art]From it being a semiconductor with a large band gap, silicon carbide (silicon carbide, SiC) has high dielectric strength compared with silicon (Si), and is a stable semiconductor also in an elevated temperature. It is the semiconductor material in which it is expected from such the characteristic that SiC will be applied to a next-generation power device, a high frequency device, a high-temperature-operation device, etc. It is known that SiC can take many crystal structures, such as 3C-SiC of cubic system, 6 H-SiC of a hexagonal system, 4 H-SiC, or 15 R-SiC of a rhombohedron system. In order to produce the semiconductor device of practical SiC in this, 6 H-SiC and 4 H-SiC are generally used. And the substrate which makes the principal surface the field which is mostly in agreement with a vertical (0001) field to the crystal axis of c axis is used widely.

[0003]A silicon carbide semiconductor device (SiC semiconductor device) forms the epitaxial growth layer used as the active region of a semiconductor device on a silicon carbide substrate (SiC substrate), and is formed by establishing a required field in this layer according to the kind of element. For example, if it is a diode, in the case of a p type doped layer and i layer (intrinsic (intrinsic semiconductor) layer); tunnel diode, the n type doped layer etc. as which an insulating layer may be sufficient will be formed, and, in the case of FET, a source drain area, a channel layer, etc. will be provided.

[0004]The power device of large scale and high withstand pressure is having element structure of the vertical mold that current flows from the lengthwise direction of an element, i.e., the surface of an element, toward a rear face, or voltage is impressed between the surface and a rear face. Therefore, it has the composition of having an electrode in each of the surface and the rear face of a semiconductor device. For example, in the case of the Schottky diode, it has the composition of having a Schottky electrode on the surface of an element, and having an ohmic electrode at the rear face. In the case of vertical mold MOSFET, it has the composition of having a drain electrode which is an ohmic electrode at the rear face about a source electrode and a gate electrode in a substrate face. After forming a SiC epitaxial growth layer on a SiC substrate in the conventional technology in the manufacturing process of a SiC semiconductor device, it is common to make an ohmic electrode form in a rear face by vapor-depositing and heating metal.

[0005]

[Problem(s) to be Solved by the Invention]However, there were the following faults in the above-mentioned conventional technology.

[0006]It depends for the electrical property in a power device on the contact resistance which exists in the interface of the rear face of a substrate, and an ohmic electrode greatly. Therefore, when this contact resistance is large, even if it impresses the same voltage in both compared with the case where contact resistance is small, the current (ON state current) which flows into an element at the time of operation of a device will become small. Conversely, if it says, in order to acquire the same ON state current in both, in the case where contact resistance is large, it is necessary to impress higher voltage. The electric power which was consumed by this contact resistance in addition to such a problem generates heat in the interface of an ohmic electrode and a substrate rear. For this reason, when contact resistance is large, an element will be heated at the time of operation of a device, and there is fault that the temperature of an element rises, so that it cannot ignore. By this rise in heat, a semiconductor device will not carry out normal operation. From the above thing, the contact resistance which exists in the interface of an ohmic electrode and a substrate rear is reduced as much as possible, and it is strong to a power device to control the power loss of the element itself, and it asks.

[0007]The contact resistance between an ohmic electrode and a substrate rear decreases in inverse proportion to the carrier concentration of the substrate in both interface. However, the carrier concentration of a SiC substrate realizable now is $1 \times 10^{19} \text{ cm}^{-3}$ the highest. In the carrier concentration beyond this, the influence of the lattice spacing on SiC of the dopant which is an impurity will become large, a lattice strain etc. will occur within a substrate, and the crystallinity of a SiC substrate will deteriorate as a result. Therefore, crystallinity was good and it was very difficult for carrier concentration to realize the SiC substrate more than $1 \times 10^{19} \text{ cm}^{-3}$. Therefore, as a SiC substrate which reduces contact resistance with an ohmic electrode, and has good crystallinity, carrier concentration cannot say that contact resistance can fully be reduced, although the substrate of the 10^{18} cm^{-3}

order is generally used.

[0008]Thus, it is difficult to reduce the contact resistance between a substrate rear and an ohmic electrode more by making carrier concentration of a substrate high in conventional technology.

[0009]By raising the carrier concentration of the portion which touches an ohmic electrode among semiconductor substrates with large band gaps, such as SiC, the purpose of this invention aims at reduction of the contact resistance between a substrate and an ohmic electrode, and there is in providing a SiC semiconductor device with little power loss, and a manufacturing method for the same.

[0010]

[Means for Solving the Problem]A SiC substrate of this invention is provided with the following.

SiC bulk board.

An impurity dope layer which consists of SiC which is provided in the field side which counters the principal surface of the above-mentioned SiC bulk board, and contains an impurity by different concentration from an interior area of the above-mentioned SiC bulk board.

[0011]By this, when providing a metal electrode, for example on the above-mentioned impurity dope layer, Contact resistance in an interface of an ohmic electrode and a SiC-substrate rear face where it was conventionally restricted with carrier concentration in a substrate that contact resistance produced between an impurity dope layer and an electrode can be reduced etc. can be reduced.

[0012]When a conductivity type of an impurity contained in an interior area and the above-mentioned impurity dope layer of the above-mentioned SiC bulk board is mutually the same and the above-mentioned impurity dope layer contains an impurity at high concentration rather than an interior area of the above-mentioned SiC bulk board, As mentioned above, contact resistance which exists in an interface on an ohmic electrode and a rear face of a SiC substrate can be reduced effectively.

[0013]By providing further an epitaxial growth layer which consists of SiC grown epitaxially on the principal surface of the above-mentioned SiC substrate. An epitaxial growth layer can be made into an active region, and it can use for manufacture of a semiconductor device of vertical molds, such as a rectifier with which contact resistance with an electrode in a rear face of a SiC substrate was reduced, and power metal-oxide semiconductor field effect transistor.

[0014]A peak of impurity concentration contained in the above-mentioned impurity dope layer by being in a field less than 1000 nm deep from the surface among the above-mentioned impurity dope layers. When an ohmic electrode is provided on an impurity dope layer, a high-concentration career will exist near the interface which contacts an electrode among impurity dope layers, and an effect of reducing contact resistance becomes larger.

[0015]Next, a SiC semiconductor device of this invention is provided with the following.
SiC bulk board.

An epitaxial growth layer which consists of SiC containing an impurity grown epitaxially on the principal surface of the above-mentioned SiC bulk board.

At least one upper electrode which consists of conductors provided on the above-mentioned epitaxial growth layer. A lower electrode used as an impurity dope layer which consists of SiC which contains an impurity provided in the principal surface [of the above-mentioned SiC bulk board], and field side which counters by different concentration from an interior area of the above-mentioned SiC bulk board, and an ohmic electrode provided on the above-mentioned impurity dope layer.

[0016]When a SiC semiconductor device is a diode, for example and current flows into an upper electrode from a lower electrode by this in a forward direction. Since carrier concentration of a portion (impurity dope layer) which carries out ohmic contact to a lower electrode among rear faces of a SiC substrate is high, contact resistance with a lower electrode is reduced greatly. Therefore, it becomes possible to be large scale and to suppress power loss at the time of operation.

[0017]When a conductivity type of an impurity contained in an interior area and the above-mentioned impurity dope layer of the above-mentioned SiC bulk board is mutually the same and the above-mentioned impurity dope layer is having an impurity contained at high concentration rather than an interior area of the above-mentioned SiC bulk board, Resistance at the time of flowing between elements becomes small, and also contact resistance with a lower electrode can be reduced as mentioned above according to impurity concentration near the field in contact with a lower electrode being high. Since an impurity of the same conductivity type is contained by SiC bulk board and an impurity dope layer, if an upper electrode is a Schottky electrode, a SiC semiconductor device can be operated as a Schottky diode which has rectification.

[0018]A conductivity type of an impurity contained in the above-mentioned epitaxial growth layer is the same as a conductivity type of an impurity contained in an interior area of the above-mentioned SiC bulk board, and it can be considered as a Schottky diode with little power loss by functioning as a Schottky diode.

[0019]A SiC semiconductor device of this invention the above-mentioned SiC bulk board including the 1st conductivity-type impurity the above-mentioned epitaxial growth layer. The 1st epitaxial layer of the 1st conductivity type provided on the above-mentioned SiC bulk board, The 2nd epitaxial layer of the 2nd conductivity type provided on the 1st epitaxial layer of the above, It has the 3rd epitaxial layer of the 1st conductivity type provided on the 2nd epitaxial layer of the above. The above-mentioned upper electrode touches the 3rd epitaxial layer of the above, and functions as a vertical mold MOSFET which has a gate electrode which consists of a

conductor which penetrated the 2nd and 3rd epitaxial layers of the above, and was provided on the 1st epitaxial layer of the above.

[0020]Since carrier concentration near [which touches a lower electrode among impurity dope layers] an interface is high by this, contact resistance with a lower electrode is reduced and vertical mold power metal-oxide semiconductor field effect transistor from which drain current with it which has little power loss is acquired can be realized. [large]

[0021]Contact resistance which a peak of impurity concentration contained in the above-mentioned impurity dope layer produces in an interface of an impurity dope layer and a lower electrode by being in a field less than 1000 nm deep from the surface among the above-mentioned impurity dope layers can be reduced further.

[0022]A process (a) of forming an impurity dope layer which contains an impurity by concentration which a manufacturing method of a SiC substrate of this invention pours in impurity ion into a SiC bulk board, and is different from an interior area of the above-mentioned SiC bulk board, A process (b) of activating an impurity contained in the above-mentioned impurity dope layer by carrying out annealing of the substrate after the above-mentioned process (a). A process (c) of growing SiC epitaxially with a CVD method and depositing an epitaxial growth layer on the principal surface of the above-mentioned SiC bulk board and a field which counters is included.

[0023]Since a SiC substrate which has good crystallinity in a rear face including an impurity can be manufactured by this method, when providing a metal electrode used as an ohmic electrode on a rear face of a SiC substrate, contact resistance with a metal electrode is reduced compared with a thing of the conventional SiC substrate.

[0024]Impurity ion poured in into the above-mentioned SiC bulk board at the above-mentioned process (a) is the same conductivity type as an impurity contained in an interior area of the above-mentioned SiC substrate, and, as for impurity concentration contained in a formed impurity dope layer, it is preferred that it is higher than the above-mentioned SiC bulk board.

[0025]A SiC substrate for Schottky diodes from which current with it which has little power loss will be acquired if a SiC layer of the same conductivity type as a SiC bulk board is grown epitaxially in a process (c) by this method,

[big] A SiC substrate for PIN diodes with little [too] power loss can be manufactured by using as undoping and a p type at order an epitaxial growth layer which forms a SiC bulk board a n type and on it.

[0026]Since activation of an impurity and formation of an epitaxial layer can be performed at one process by performing the above-mentioned process (b) and a process (c) simultaneously, a manufacturing process number can be reduced and a production cost can be lowered.

[0027]A peak of impurity concentration which heat-treats a substrate and is contained in the above-mentioned impurity dope layer, By performing the process simultaneously with the above-mentioned process (c), including further a process to which the surface of the above-mentioned impurity dope layer is made to sublime so that it may be located in a field less than 1000 nm deep from the above-mentioned impurity dope layer surface, Additional processing can locate a peak of impurity concentration near the surface of an impurity dope layer more nearly nothing. A SiC substrate which reduced contact resistance with ***** and an electrode for an ohmic electrode by a post process on a rear face (the principal surface and field which counters) of a SiC substrate is producible at a simple process. When the process carries out still more nearly simultaneously also with a process (b), a SiC substrate can be manufactured with a smaller routing counter.

[0028]Damage produced in an impurity dope layer on the occasion of an ion implantation of a process (a) can recover the temperature of a substrate in the above-mentioned process (c) while it can form a good epitaxial growth layer by being in the range of 1300~2300 **.

[0029]A process (a) of a manufacturing method of a SiC semiconductor device of this invention injecting impurity ion of the 1st conductivity type into a SiC bulk board, and forming an impurity dope layer on the principal surface of the above-mentioned SiC bulk board, and a field which counters, A process (b) of activating an impurity contained in the above-mentioned impurity dope layer by carrying out annealing of the substrate after the above-mentioned process (a). A process (c) of growing SiC epitaxially with a CVD method and depositing an epitaxial growth layer on a side in which the above-mentioned impurity dope layer of the above-mentioned SiC bulk board is not formed, A process (d) of forming at least one upper electrode on the above-mentioned epitaxial growth layer, and a process (e) of forming a lower electrode used as an ohmic electrode on the above-mentioned impurity dope layer are included.

[0030]Since an impurity is included at high concentration by this method to a field which touches a lower electrode of a rear face of a SiC substrate in a process (a) and a good crystalline impurity dope layer is formed, contact resistance with a lower electrode can manufacture a small semiconductor device. That is, since power loss becomes small, a semiconductor device by which generating of heat in a plane of composition with a lower electrode of a SiC substrate was controlled can be manufactured.

[0031]Impurity ion poured in into the above-mentioned SiC bulk board at the above-mentioned process (a), Impurity concentration contained in an impurity dope layer which is the same conductivity type as an impurity contained in an interior area of the above-mentioned SiC bulk board, and was formed according to it being higher than impurity concentration of an interior area of the above-mentioned SiC bulk board. There is little power loss and a large SiC semiconductor device of the ON state current can be manufactured.

[0032]By performing simultaneously the above-mentioned process (b) and the above-mentioned process (c), a SiC semiconductor device can be manufactured at few processes.

[0033]A peak of impurity concentration which heat-treats a substrate and is contained in the above-mentioned impurity dope layer, A SiC semiconductor device of this invention can be manufactured at few processes by

performing the process simultaneously with the above-mentioned process (c), including further a process to which the surface of the above-mentioned impurity dope layer is made to sublime so that it may be located in a field less than 1000 nm deep from the above-mentioned impurity dope layer surface. When the process, a process (b), and a process (c) are performed simultaneously, a manufacturing process number is reduced further and a manufacturing cost can be reduced.

[0034]In the above-mentioned process (c), on the above-mentioned SiC bulk board, the 1st epitaxial layer of the 1st conductivity type, On the 1st epitaxial layer of the above, the 2nd epitaxial layer of the 2nd conductivity type, The 3rd epitaxial layer of the 1st conductivity type is formed in order on the 2nd epitaxial layer of the above, respectively, Before a process (d) after the above-mentioned process (c), By including further a process (c'') of forming a gate electrode above the 1st epitaxial layer of the above for a process (c') and the above-mentioned trench which form a trench which penetrates the 2nd and 3rd epitaxial layers of the above, and results in the 1st epitaxial layer of the above on both sides of wrap gate dielectric film, Since contact resistance with a lower electrode is reduced by doping and activation of an impurity, power loss is reduced and mass vertical mold MOSFET can be manufactured.

[0035]By being in the range of 1300-2300 **, the temperature of a substrate in the above-mentioned process (c) can manufacture a SiC semiconductor device which has a good crystalline epitaxial growth layer. Restoration of a crystal defect of an impurity dope layer produced on the occasion of an ion implantation of a process (a) is also performed simultaneously.

[0036]

[Embodiment of the Invention](A 1st embodiment) The manufacturing method of the SiC substrate provided with the epitaxial growth layer of SiC on the substrate is first explained including the dopant ion which is a 1st embodiment of this invention and which was activated by the substrate rear.

[0037]Drawing 1 (a) - (c) is a sectional view showing the manufacturing method of the SiC substrate concerning this embodiment.

[0038]The SiC bulk board 11 is prepared at the process shown in drawing 1 (a). As the SiC bulk board 11, the principal surface is a field which the OFF angle of 8 times attached in the [11-20] (112 bars 0) direction from the field (0001) (c side), and the SiC substrate (4H-SiC substrate) 25 mm in diameter to which Si atom is located in a line with the surface is used, for example. This substrate is a n type and carrier concentration is $1 \times 10^{18} \text{ cm}^{-3}$. The field which needs the principal surface here in order that surface roughness may be a field of the smaller one and may operate as a semiconductor device to this field at the following processes is formed.

[0039]Next, it divides into 7 times of ion implantation processes, and the nitrogen ion 13 which is n type dopant ion is poured in all over the rear face of the SiC bulk board 11, for example, infused energies differ mutually. The conditions of an ion implantation here the ion dose of the accelerating voltage of 7.0MeV $1 \times 10^{15} \text{ atoms-cm}^{-2}$, The dose of the accelerating voltage of 5.6MeV $1 \times 10^{15} \text{ atoms-cm}^{-2}$, The dose of the accelerating voltage of 4.4MeV $7 \times 10^{14} \text{ atoms-cm}^{-2}$, The dose of the accelerating voltage of 3.3MeV $7 \times 10^{14} \text{ atoms-cm}^{-2}$, The dose of the accelerating voltage of 2.4MeV $3 \times 10^{14} \text{ atoms-cm}^{-2}$, The dose of the accelerating voltage of $3 \times 10^{14} \text{ atoms-cm}^{-2}$ and 1.0MeV was made into $3 \times 10^{14} \text{ atoms-cm}^{-2}$ for the dose of the accelerating voltage of 1.6MeV. The direction of an ion implantation is a direction leaning also to any normal of the SiC bulk board 11 or case 7 degrees, and the ion implantation is performed under the room temperature.

[0040]Thereby, the pouring layer 12 is formed on the rear face of the SiC bulk board 11. At this time, nitrogen concentration is thinner than that peak concentration so that a field less than about 1000 nm deep may explain later from the surface on the back.

[0041]Next, a SiC layer is grown epitaxially on the SiC bulk board 11 with a CVD method at the process shown in drawing 1 (b). A concrete method is described below.

[0042]Drawing 2 is a sectional view showing the composition of the CVD furnace used in each embodiment of this invention.

[0043]The substrate support jig 51 made from the carbon for this CVD furnace being arranged in the chamber 50 made from quartz, and a chamber, and installing the SiC bulk board 11, as shown in the figure, It has the coil 52 for induction heating, the gas supply system 53, and the flueing system 54 for heating the substrate support jig 51 and the SiC bulk board 11 with high-frequency power.

[0044]First, after decompressing the inside of the chamber 50 of this CVD furnace until it becomes a degree of vacuum about 10^{-6} Pa , dilution gas is supplied from the gas supply system 53.

[0045]Hydrogen gas was chosen as dilution gas and the flow was made into 2 L/min. The pressure in the chamber at the time of epitaxial growth is set constant at ordinary pressure (1 atmosphere). High-frequency power (20.0 kHz and 20 kW) is impressed to the coil 52 for induction heating, and a SiC substrate is heated at 1600 **.

[0046]Then, when substrate temperature reaches growing temperature, the material gas and dopant gas for epitaxial growth are supplied. The flow of SiH₄ and C₃H₈ is made into 3 mL/min and 2 mL/min, respectively, using SiH₄ and C₃H₈ as material gas. The flow is made into 3 mL/min, using nitrogen as n type dopant gas.

[0047]Drawing 3 is a figure showing the process of the amount of supply (sum total of the amount of supply of SiH₄, and the amount of supply of C₃H₈) of material gas, and the temporal change of substrate temperature (at the time of heating 1600 **) in the formation process of a SiC epitaxial growth layer. The thickness of the epitaxial growth layer 14 formed on the SiC bulk board 11 is about 3 micrometers, and the carrier concentration in this growth phase

is $1 \times 10^{18} \text{ cm}^{-3}$.

[0048]Next, at the process shown in drawing 1 (c), heating to a substrate is suspended and epitaxial growth is terminated at the same time it stops material gas and dopant gas.

[0049]Damage to the crystal structure of the SiC bulk board 11 produced by the ion implantation performed at the process shown in drawing 1 (a) can be made to restore by heating a substrate at 1600 ** in this process. activation of the poured-in nitrogen ion — a book — it is carried out in process and simultaneous and the pouring layer 12 turns into the n type doped layer 15.

[0050]The layer part of the n type doped layer 15 of a substrate rear is sublimated in the case of formation of the epitaxial growth layer 14. For this reason, the portion which contains nitrogen at high concentration among the n type doped layers 15 can be exposed, without operating etching etc.

[0051]The SiC substrate of this embodiment manufactured by the above-mentioned method is provided with the following.

The SiC bulk board 11 which is a 4H-SiC substrate.

The epitaxial growth layer 14 with a thickness of about 3 micrometers which consists of SiC grown epitaxially on the SiC bulk board 11.

A n type doped layer with a thickness of about 3 micrometers containing nitrogen of concentration abbreviation $1 \times 10^{19} \text{ cm}^{-3}$ provided in the rear-face side in a SiC bulk board.

Both the SiC bulk board 11 and the epitaxial growth layer 14 contain nitrogen of 10^{18} cm^{-3} .

[0052]— It measured using the secondary ion mass analysis apparatus (SIMS) about the nitrogen profile in a substrate, next the profile of the nitrogen concentration of the depth direction of the n type doped layer 15 in the substrate rear after formation of the epitaxial growth layer 14.

[0053]Drawing 4 is a figure showing the concentration distribution of the nitrogen analyzed using SIMS. It was checked that the n type doped layer 15 in which dopant concentration contains the n type impurity of concentration high a figure single [about] with abbreviation $1 \times 10^{19} \text{ cm}^{-3}$ compared with the SiC bulk board 11 at about 3 micrometers in thickness is formed on the rear face of the above-mentioned SiC bulk board 11 from the figure.

[0054]It turns out that the peak of the nitrogen concentration which sees from the rear-face side of a substrate and is in the shallowest position from drawing 4 is in a field about 500 nm or less deep from the surface among the n type doped layers 15. Since the peak of the impurity concentration into which this was poured on the above-mentioned ion-implantation conditions is located in a field not less than 1000 nm deep from the surface, having sublimated not less than about 500 nm of surface portions of the pouring layer 12 (or n type doped layer 15) is shown.

[0055]Although the nitrogen concentration near the surface serves as abbreviation $1 \times 10^{18} \text{ cm}^{-3}$ among the n type doped layers 15 here, Drawing 1 (b) In the formation process of the epitaxial growth layer 14 shown in – (c), the portion which contains nitrogen in the high concentration in the n type doped layer 15 can be exposed by [, such as raising substrate temperature or extending the time of epitaxial growth,] adjusting conditions.

[0056]— The conventional SiC substrate which has the SiC layer grown epitaxially into the table (bow) side side without injecting dopant ion into a rear face, in order to compare comparison – of an electrical property, next the SiC substrate and electrical property of this embodiment was created. The used SiC substrates were n type 4 H-SiC, and the carrier concentration in a substrate was $1 \times 10^{18} \text{ cm}^{-3}$. The formation conditions of an epitaxial growth layer and the thickness of the epitaxial growth layer presupposed that it is the same as that of the SiC substrate of this embodiment.

[0057]Next, the ohmic electrode was formed in each surface and rear face of the conventional SiC substrate produced by the SiC substrate and conventional technology of this embodiment, the electrical property of each SiC substrate was measured, and the contact resistance in the interface of a substrate rear and an ohmic electrode was evaluated from this measurement result.

[0058]First, after vapor-depositing nickel (nickel) dot electrodes 0.5 mm in diameter with an electron beam (EB) evaporation apparatus at the rear face of each SiC substrate, it was considered as the ohmic electrode by heating at 1000 ** with a heating furnace. After vapor-depositing nickel dot electrodes 0.5 mm in diameter with EB evaporation apparatus also to the table (bow) side of a substrate, it was considered as the ohmic electrode by heating at 1000 ** with a heating furnace.

[0059]Subsequently, current was sent through each SiC substrate through the ohmic electrode formed in the table (bow) side and rear face of each SiC substrate.

[0060]Drawing 5 is a figure showing the result of having measured the relation between the impressed electromotive force about each of the SiC substrate of this embodiment, and the conventional SiC substrate produced by conventional technology, and current. In the SiC substrate of this embodiment, compared with the conventional SiC substrate, the figure shows that twice [about / about] as many current as this is flowing, when the same voltage is impressed.

[0061]In the SiC substrate of this embodiment, it became clear from this result that the contact resistance of the interface of a substrate rear and an ohmic electrode is reduced greatly. The field (pouring layer 12) where, as for this, dopant ion was poured in shows that it is the n type doped layer 15 which contains nitrogen of high concentration compared with the carrier concentration of a SiC substrate by being activated during formation of the epitaxial growth layer 14.

[0062]Since the contact resistance between the rear face of a substrate and an ohmic electrode is greatly reduced

compared with the conventional SiC substrate, the SiC substrate of this embodiment. When used for the semiconductor device of rectifiers, such as a Schottky diode described by following embodiments, and a PIN diode, vertical mold power metal-oxide semiconductor field effect transistor, etc., while reducing the power loss in these semiconductor devices, generating of the heat at the time of operation can be controlled.

[0063]Since exposure of the portion which contains an impurity in high concentration activation of the introduced impurity, restoration of the crystal defect made by ion implantation, and among n type doped layers is performed in the formation process of the epitaxial growth layer by a CVD method according to the manufacturing method of SiC of this embodiment, A SiC substrate with small contact resistance of a substrate rear and an ohmic electrode can be manufactured efficiently, without increasing a process.

[0064]According to the manufacturing method of the SiC substrate of this embodiment, the field which contains nitrogen at high concentration among the n type doped layers 15 can be exposed by adjusting the temperature conditions of epitaxial growth etc. as mentioned above. Thereby, contact resistance between a substrate rear and an ohmic electrode can be made still smaller.

[0065]In the manufacturing method of the SiC substrate of this embodiment, although the ion implantation of the nitrogen was carried out to the rear face of the n type SiC substrate as a n type dopant, even if it carries out the ion implantation of other ionic species in which n type conductivity is shown, for example, Lynn, it is effective. It is effective, even if it replaces with a n type and boron (B) etc. carry out the ion implantation of the p type dopant to the rear face of a p type SiC substrate.

[0066]In the manufacturing method of the SiC substrate of this embodiment, the ion in which infused energies differ mutually is poured in on the multi stage story. Since the surface of the n type doped layer 15 is deleted by sublimation, this has a meaning which takes the thicker layer doped beforehand. However, even when ion is actually poured in with single infused energy, the contact resistance of a substrate rear and an ohmic electrode can be reduced.

[0067]In this embodiment, in order to form the n type doped layer 15, the accelerating voltage of the ion implantation was set as 1.0 – 7.0MeV, but the peak position of impurity concentration can be brought more close to the surface by making accelerating voltage of the ion to pour in still lower. However, the thickness of the n type doped layer 15 becomes thin in this case.

[0068]In the manufacturing method of the SiC substrate of this embodiment, although dopant ion was poured in all over the SiC-substrate rear face, dopant ion may be poured only into a part by covering a portion with a SiC-substrate rear face with a mask etc.

[0069]In this embodiment, although the nitrogen ion was introduced into the epitaxial growth layer of SiC formed on a SiC bulk board as n type impurity ion, Lynn (P) etc. may be used for others and p type impurities, such as boron (B) and aluminum (aluminum), may be used. The epitaxial growth layer of SiC may contain both the layer containing a n type impurity and the layer containing a p type impurity.

[0070]In this embodiment, although the ion injected into epitaxial growth and a substrate rear was activated simultaneously, there is not necessarily necessity of performing these two processes simultaneously.

[0071]Drawing 6 is a figure showing an example of the process of the material gas in the case of performing activation annealing of a substrate at the front like epitaxial growth Takumi, the hydrogen gas amount of supply at the time of activation annealing, and the temporal change of substrate temperature. As shown in the figure, when a temperature required for activation annealing is higher than growing temperature, it does not interfere, even if it carries out activation annealing by heating a substrate at the front like epitaxial growth Takumi. As gas supplied in this process, it may be argon gas besides hydrogen gas.

[0072]Drawing 7 is a figure showing an example of the process of the material gas in the case of performing activation annealing of a substrate at the back like epitaxial growth Takumi, the hydrogen gas amount of supply at the time of activation annealing, and the temporal change of substrate temperature. It does not interfere, even if it carries out activation annealing by heating a substrate after the formation process of an epitaxial growth layer, as shown in the figure. Thus, according to the method of performing activation annealing of a substrate by a separated process like epitaxial growth Takumi, the amount of sublimation of the rear face of a SiC substrate can be adjusted, without being based on setting out of the formation process of an epitaxial growth layer.

[0073]In the manufacturing method of the SiC substrate of this embodiment, although 1600 ** was chosen as substrate temperature which forms the epitaxial growth layer 14, it is preferred that it is not restricted to this temperature but is in the range of 1300–2300 **. It is because there will be a possibility that the SiC bulk board 11 may decompose and the recovery of damage in a SiC substrate will not advance at less than 1300 **, if 2300 ** is exceeded.

[0074]In addition, when epitaxial growth Takumi of SiC simultaneously makes the rear face of a SiC substrate sublimate, it is influenced by the pressure, but it is required for substrate temperature to be not less than 1400 **.

[0075]And as for the substrate temperature which can be set like epitaxial growth Takumi, in order to form a good crystalline epitaxial growth layer by sufficient thickness to produce a semiconductor device also in the range of above-mentioned substrate temperature, it is more preferred that it is the range of 1500 ** – 2000 **.

[0076]In this embodiment, although the epitaxial growth layer of SiC was formed after the implantation process of the nitrogen ion to a substrate rear, the SiC bulk board itself can also be used as a semiconductor layer of a semiconductor device, without forming this epitaxial growth layer. However, the activation annealing process of the impurity contained in a substrate above 1300 ** also in that case is needed. In the n type doped layer of the SiC substrate manufactured by this method, although the peak of nitrogen concentration is in a field not less than 1000

nm deep from the surface, the contact resistance with an ohmic electrode is reduced compared with the conventional SiC substrate.

[0077]Although the 4H-SiC substrate was used as a SiC bulk board in this embodiment, other SiC substrates, such as a 6H-SiC substrate, may be used.

[0078]It can replace with a SiC bulk board and a diamond substrate with a large band gap or a GaN (gallium nitride) board can also be used like SiC.

[0079](A 2nd embodiment) How to manufacture a Schottky diode as a 2nd embodiment of this invention using the SiC substrate concerning a 1st embodiment is explained.

[0080]Drawing 8 (a) – (c) is a sectional view showing the manufacturing method of the Schottky diode concerning this embodiment.

[0081]First, the SiC bulk board 21 is prepared at the process shown in drawing 8 (a). As the SiC bulk board 21, the principal surface uses the SiC substrate (4H-SiC substrate) 25 mm in diameter which is the field which the OFF angle of 8 times attached in the [11-20] (112 bars 0) direction from the field (0001) (c side), for example. This substrate is a n type and carrier concentration is $1 \times 10^{18} \text{ cm}^{-3}$. And ion-implantation conditions, such as accelerating voltage, a dose, and an injection angle, are made the same as the manufacturing method of the SiC substrate of a 1st embodiment, and the nitrogen ion 23 is injected into the rear face of the SiC bulk board 21. Thereby, the pouring layer 22 is formed in the rear face of the SiC bulk board 21.

[0082]Next, it installs in the chamber of the CVD furnace which has the structure where the SiC bulk board 21 is shown in drawing 2, at the process shown in drawing 8 (b), and the epitaxial growth layer 24 which consists of SiC(s) is formed. In this process, activation annealing of the dopant ion injected into the substrate rear is performed simultaneously, and restoration of the crystal defect produced on the occasion of an ion implantation is performed, and sublimation of the surface portion of the pouring layer 22 also takes place.

[0083]The flow of nitrogen whose flows of SiH_4 whose flows of hydrogen gas whose conditions of epitaxial growth at this process are dilution gas are 2 L/min and material gas, and C_3H_8 are 3 mL/min, 2 mL/min, and dopant gas, respectively is made into 0.1 mL/min. Supposing that the pressure in the chamber at the time of epitaxial growth is constant at ordinary pressure (1 atmosphere), growing temperature shall be 1600 **. The epitaxial growth layer of SiC formed under these conditions was about 3 micrometers in thickness, and carrier concentration was $1 \times 10^{16} \text{ cm}^{-3}$.

[0084]Next, supply of material gas is stopped and formation of the epitaxial growth layer 24 is made to finish with the process shown in drawing 8 (c). At this time, the nitrogen contained in the pouring layer 22 is activated, and it becomes the n type doped layer 25.

[0085]Thus, the nitrogen concentration of the depth direction of the n type doped layer 25 on the formed substrate rear shows the profile by SIMS shown in drawing 4, and the same profile. That is, it turns out that the n type doped layer 25 in which dopant concentration contains nitrogen of concentration high a figure single [about] [thickness / a substrate] at about 3 micrometers by abbreviation $1 \times 10^{19} \text{ cm}^{-3}$ is formed on the rear face of the above-mentioned SiC bulk board 21. The surface portion is deleted by sublimation among the n type doped layers 25, and some are the shallowest in a depth of less than 500 nm from the surface of the n type doped layer 25 among the peaks of nitrogen concentration.

[0086]Next, after using EB evaporation apparatus for the rear face of the SiC bulk board 21 and vapor-depositing nickel, the ohmic electrode 28 which consists of nickel by heating at 1000 ** with a heating furnace is formed.

[0087]Then, after forming silicon oxide with a CVD method etc. on the epitaxial growth layer 24, the opening of the part is carried out and the guard ring 26 is formed. Subsequently, the guard ring 26 forms Schottky electrode 27 which consists of gold (Au) among the epitaxial growth layers 24 on the field which carried out the opening.

[0088]The Schottky diode of this embodiment manufactured by the above process is provided with the following. SiC bulk board 21.

The epitaxial growth layer 24 with a thickness of 3 micrometers which consists of SiC formed on the SiC bulk board 21.

The guard ring 26 which consists of a silicon oxide (SiO_2) by which it was formed on the epitaxial growth layer 24, and in which the part carried out the opening.

Schottky electrode 27 which consists of Au formed on the field in which the guard ring 26 carried out the opening among the epitaxial growth layers 24. The ohmic electrode 28 which consists of nickel formed by vacuum evaporation on the n type doped layer 25 and a n type doped layer with a thickness of 3 micrometers which contains the n type impurity formed on the rear face of the SiC bulk board 21 at high concentration.

The concentration of the nitrogen contained in the epitaxial growth layer 24, the SiC bulk board 21, and the n type doped layer 25 is $1 \times 10^{16} \text{ cm}^{-3}$ and abbreviation $1 \times 10^{18} \text{ cm}^{-3}$ abbreviation $1 \times 10^{19} \text{ cm}^{-3}$, respectively.

[0089]Next, in order to compare the Schottky diode and electrical property of this embodiment, the Schottky diode was produced using the SiC substrate produced by conventional technology. Both substrates are using the n type 4H-SiC substrate, and the carrier concentration in a substrate is $1 \times 10^{18} \text{ cm}^{-3}$. The formation conditions of the Schottky diode besides the formation conditions of an epitaxial growth layer presupposed that it is the same as that of the Schottky diode of this embodiment. As for the formed epitaxial growth layer, about 3 micrometers and carrier concentration made thickness $1 \times 10^{16} \text{ cm}^{-3}$.

[0090]Performance comparison of both Schottky diodes was performed by measuring about the current at the time

of forward voltage impression (ON state current).

[0091]Drawing 9 is a figure showing the current/voltage characteristics of the Schottky diode produced by the Schottky diode and conventional technology of this embodiment. The figure shows that the ON state current is large more than twice [about] compared with the Schottky diode produced by the conventional method in the Schottky diode of this embodiment. In the Schottky diode of this embodiment, since the contact resistance between the n type doped layer 25 and the ohmic electrode 28 reduced this substantially, it is considered that the ON state current when forward voltage was impressed became large.

[0092]ON state voltage (forward voltage in case the ON state current begins to flow) — both diodes — about — the difference was not seen by 1V.

[0093]The leakage current at the time of impressing reverse voltage to the above-mentioned Schottky diode was almost the same for a number pA (10^{-12} A) grade and both diodes, and was almost the same in both. [of the pressure-proofing at the time of reverse bias impression] This shows that the process of injecting dopant ion into a substrate rear has hardly affected the crystallinity of a substrate and an epitaxial growth layer. It was shown that the Schottky diode in which the ON state current had the feature that it is large more than twice compared with conventional technology is producible by injecting dopant ion into the rear face of a substrate, and forming an epitaxial growth layer on the table (bow) side of this substrate from these results. This means that the Schottky diode of this embodiment has little power loss at the time of operation compared with the conventional thing.

[0094]In addition, in the Schottky diode of this embodiment, since the contact resistance in the interface of the ohmic electrode 28 and the n type doped layer 25 is small, generating of the heat in the above-mentioned interface is controlled at the time of operation. Therefore, according to the Schottky diode of this embodiment, generating of the malfunction by heat can be controlled in the semiconductor device which had this incorporated.

[0095]Although the n type impurity was used in the Schottky diode of this embodiment as a dopant of a SiC bulk board, an epitaxial growth layer, and an impurity dope layer (n type doped layer), it may replace with this and a p type impurity may be used.

[0096]Although the example which produced the Schottky diode in this embodiment was shown, pn diode which grew epitaxially the n type doped layer which consists of SiC(s), and the p type doped layer on the SiC substrate, respectively is also producible by setting like epitaxial growth Takumi, adding a n type impurity first, and subsequently adding a p type impurity.

[0097]P type impurities, such as boron (B) and aluminum (aluminum), may be included like the SiC substrate of a 1st embodiment instead of each class in a Schottky diode being a n type impurity.

[0098]Also in the manufacturing method of the Schottky diode of this embodiment, like the manufacturing method of the SiC substrate of a 1st embodiment, it may divide before the annealing process of a substrate, or into the back like epitaxial growth Takumi of a SiC layer, and it may be performed. If temperature conditions are then adjusted, also in which process, sublimation on the rear face of a SiC substrate can be caused.

[0099](A 3rd embodiment) As a 3rd embodiment of this invention, how to produce vertical mold power metal-oxide semiconductor field effect transistor is explained using the manufacturing method of the SiC substrate concerning a 1st embodiment.

[0100]Drawing 10 (a) – (c) is a sectional view showing a manufacturing method for the vertical mold power metal-oxide semiconductor field effect transistor concerning this embodiment.

[0101]First, the SiC bulk board 31 is prepared at the process shown in drawing 10 (a). As the SiC bulk board 31, the principal surface uses the SiC substrate (4H-SiC substrate) 25 mm in diameter which is the field which the OFF angle of 8 times attached in the [11-20] (112 bars 0) direction from the field (0001) (c side), for example. This substrate is a n type and carrier concentration is $1 \times 10^{18} \text{ cm}^{-3}$.

[0102]Next, conditions, such as accelerating voltage, a dose, and an injection angle, are made the same as that of 1st and 2nd embodiments, and the nitrogen ion 33 is poured into the rear-face side of the SiC bulk board 31.

Thereby, the pouring layer 32 is formed in the rear-face side of the SiC bulk board 31.

[0103]Next, at the process shown in drawing 10 (b), install a SiC substrate in the chamber of the CVD furnace shown in drawing 2, and on the same conditions as a 1st above-mentioned embodiment. Activation annealing of the dopant ion injected into the substrate rear is performed at the same time it grows a SiC layer epitaxially on the SiC bulk board 31.

[0104]In this case, a n type and the SiC layer of a p type and a n type are first formed in order on the SiC bulk board 31 n type dopant gas and by subsequently to in a device introducing n type dopant gas into p type dopant gas and its next.

[0105]In the flow of hydrogen gas of dilution gas, the flow of 2 L/min, SiH₄ of material gas, and C₃H₈ makes an epitaxial growth condition 3 mL/min and 2 mL/min, respectively. Nitrogen was used as n type dopant gas, and trimethylaluminum (TMA) was used as p type dopant gas. Supposing that the pressure in the chamber at the time of epitaxial growth is constant at ordinary pressure (1 atmosphere), growing temperature shall be 1600 **.

[0106]Thus, the n type epitaxial growth layer 34 whose thickness which consists of SiC by which the nitrogen ion of carrier concentration abbreviation $2 \times 10^{17} \text{ cm}^{-3}$ was introduced on the above-mentioned SiC bulk board 31 is 10 micrometers. The p type epitaxial growth layer 35 whose thickness into which the Al ion of carrier concentration abbreviation $1 \times 10^{16} \text{ cm}^{-3}$ was introduced is 3 micrometers. The n type epitaxial growth layer 36 whose thickness into which the nitrogen ion of carrier concentration abbreviation $1 \times 10^{18} \text{ cm}^{-3}$ was introduced is 0.3 micrometer was formed.

[0107]The pouring layer 32 turns into the n type doped layer 37 by activating nitrogen simultaneously with epitaxial growth of SiC.

[0108]In this process, activation annealing of the dopant ion injected into the substrate rear is performed simultaneously, and restoration of the crystal defect produced on the occasion of an ion implantation is performed, and sublimation of the surface portion of the pouring layer 32 also takes place.

[0109]At this time, the nitrogen concentration of the depth direction of the n type doped layer 37 serves as a profile by SIMS shown in drawing 4, and same profile. It turns out that thickness is about 3 micrometers and the n type doped layer 37 contains nitrogen of concentration high a figure single [about] from this figure compared with abbreviation $1 \times 10^{19} \text{ cm}^{-3}$ and a substrate. The surface portion is deleted by sublimation among the n type doped layers 37, and some are the shallowest in a field less than 500 nm deep from the surface among the n type doped layers 37 among the peaks of nitrogen concentration.

[0110]Next, the etching mask (not shown) which consists of the silicon oxide and the nickel layer which carried out the opening of the trench formation region is formed on a substrate at the process shown in drawing 10 (c), Reactive ion etching using CF_4 and O_2 is performed, the p type epitaxial growth layer 35 is penetrated, and the trench which reaches in the n type epitaxial growth layer 36 is formed.

[0111]Subsequently, the gate dielectric film 39 which becomes the side wall part and pars basilaris ossis occipitalis of a trench from SiO_2 by oxidizing a substrate thermally under the temperature of about 1100 ** is formed, and the gate electrode 40 is formed by depositing a polysilicon film in a trench after that.

[0112]Then, after removing an etching mask, nickel is vapor-deposited with EB evaporation apparatus at the table (bow) side and rear face of a substrate. Subsequently, by heating a substrate at 1000 ** all over a heating furnace, the source electrode 41 is formed on the n type epitaxial growth layer 36, and the drain electrode 38 is formed, respectively on the n type doped layer 37 by the side of a substrate rear. Thereby, vertical mold MOSFET of this embodiment is produced.

[0113]That is, vertical mold MOSFET of this embodiment produced by the above manufacturing method is provided with the following.

The SiC bulk board 31 containing a n type impurity.

The n type epitaxial growth layer 34, the p type epitaxial growth layer 35, and the n type epitaxial growth layer 36 which were formed in order on the SiC bulk board 31.

Gate dielectric film 39 which consists of SiO_2 provided in the side wall part and pars basilaris ossis occipitalis of the trench which penetrates the n type epitaxial growth layer 36 and the p type epitaxial growth layer 35, and results in the n type epitaxial growth layer 34.

The gate electrode 40 which consists of polysilicon provided on gate dielectric film, The drain electrode 38 which consists of the n type doped layer 37 which consists of SiC containing the source electrode 41 which consists of nickel provided on the n type epitaxial growth layer 36, and the high-concentration nitrogen formed on the rear face of the SiC bulk board 31, and nickel formed on the n type doped layer 37.

Nitrogen of $1 \times 10^{19} \text{ cm}^{-3}$ is contained in the n type doped layer 37 for concentration. Both the source electrode 41 and the drain electrode 38 are an ohmic electrode.

[0114]Next, the vertical mold power metal-oxide semiconductor field effect transistor using the conventional SiC substrate produced by conventional technology was produced, and the current/voltage characteristics were compared with the vertical mold power metal-oxide semiconductor field effect transistor of this embodiment. The carrier concentration which both SiC substrates are n type 4 H-SiC, and is contained in the SiC bulk board in a SiC substrate is $1 \times 10^{18} \text{ cm}^{-3}$. In the vertical mold power metal-oxide semiconductor field effect transistor using the conventional SiC substrate, each SiC layer, the gate electrode, and the formation conditions of each electrode which were grown epitaxially presupposed that it is the same as that of vertical mold MOSFET of this embodiment.

[0115]As a result of measuring about the current/voltage characteristics of both power metal-oxide semiconductor field effect transistor, when the same voltage more than a threshold is impressed to a gate electrode, It turned out that the current which flows through the vertical mold power metal-oxide semiconductor field effect transistor of this embodiment is large more than twice [about] compared with the current which flows through the vertical mold power metal-oxide semiconductor field effect transistor produced by conventional technology.

[0116]In the vertical mold power metal-oxide semiconductor field effect transistor of this embodiment, since the n type doped layer 37 by the side of a substrate rear and the contact resistance between the drain electrodes 38 reduced this substantially, it is considered that drain current when forward voltage was impressed became large.

[0117]It was shown that the vertical mold power metal-oxide semiconductor field effect transistor in which the ON state current had the feature that it is large more than twice compared with conventional technology is producible by injecting dopant ion into the rear face of a substrate, and forming an epitaxial growth layer in this substrate face from this result.

[0118]That is, according to the manufacturing method of the vertical mold power metal-oxide semiconductor field effect transistor of this embodiment, compared with the former, vertical mold power metal-oxide semiconductor field effect transistor with little power loss is producible.

[0119]In addition, in the vertical mold power metal-oxide semiconductor field effect transistor of this embodiment, since the contact resistance in the interface which carries out ohmic contact to a drain electrode is small, generating of the heat in the above-mentioned interface is controlled at the time of operation. Therefore, generating of the malfunction by heat is controlled in the vertical mold power metal-oxide semiconductor field effect transistor

of this embodiment.

[0120]Also in the manufacturing method of the power metal-oxide semiconductor field effect transistor of this embodiment, like the manufacturing method of the SiC substrate of a 1st embodiment, it may divide before the annealing process of a substrate, or into the back like epitaxial growth Takumi of a SiC layer, and it may be performed.

[0121]In this embodiment, although the manufacturing method of vertical mold power metal-oxide semiconductor field effect transistor was described, It has a vertical mold structure provided with the ohmic electrode, and if it is a semiconductor device which has semiconductor layers with a big band gap, such as SiC, effects, such as control of power-saving and generation of heat, will be acquired like the vertical mold power metal-oxide semiconductor field effect transistor of this embodiment.

[0122]

[Effect of the Invention]According to a SiC substrate of this invention, a SiC semiconductor device, and a manufacturing method for the same. Since the contact resistance in the interface of a substrate rear and an ohmic electrode is reduced by providing an impurity dope layer with high carrier concentration compared with the carrier concentration in a SiC bulk board on the rear face of a SiC bulk board, power loss can be reduced and generation of heat can be controlled.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1](a) – (c) is a figure showing the fundamental procedure for forming the SiC substrate concerning a 1st embodiment of this invention.

[Drawing 2]It is a sectional view showing the composition of the CVD furnace used in each embodiment of this invention.

[Drawing 3]In the formation process of a SiC epitaxial growth layer, it is a figure showing the process of the amount of supply of material gas, and the temporal change of substrate temperature.

[Drawing 4]It is a figure showing the result of having measured the profile of the dopant concentration at the time of activating the dopant ion poured in simultaneously with formation of an epitaxial growth layer using SIMS by the method of a 1st embodiment of this invention.

[Drawing 5]It is a figure showing the result of having measured the current/voltage characteristics of the SiC substrate concerning a 1st embodiment of this invention, and the conventional SiC substrate.

[Drawing 6]In the manufacturing method of this invention, it is a figure showing the process flow in the case of performing an activation annealing process at the front like epitaxial growth Takumi.

[Drawing 7]In the manufacturing method of this invention, it is a figure showing the process flow in the case of performing an activation annealing process at the back like epitaxial growth Takumi.

[Drawing 8](a) – (c) is a sectional view showing the manufacturing process of the Schottky diode concerning a 2nd embodiment of this invention.

[Drawing 9]It is a figure showing the current/voltage characteristics of the Schottky diode concerning a 2nd embodiment of this invention, and the conventional SHOTOKKI diode.

[Drawing 10](a) – (c) is a sectional view showing the manufacturing process of the vertical mold power metal-oxide semiconductor field effect transistor concerning a 3rd embodiment of this invention.

[Description of Notations]

- 11 SiC bulk board
- 12 Pouring layer
- 13 Nitrogen ion
- 14 Epitaxial growth layer
- 15 N type doped layer
- 21 SiC bulk board
- 22 Pouring layer
- 23 Nitrogen ion
- 24 Epitaxial growth layer
- 25 N type doped layer
- 26 Guard ring
- 27 Schottky electrode
- 28 Ohmic electrode
- 31 SiC bulk board
- 32 Pouring layer
- 33 Nitrogen ion
- 34 N type epitaxial growth layer
- 35 P type epitaxial growth layer
- 36 N type epitaxial growth layer
- 37 N type doped layer
- 38 Drain electrode
- 39 Gate dielectric film
- 40 Gate electrode
- 41 Source electrode
- 50 Chamber
- 51 Substrate support jig
- 52 Induction heating coil
- 53 Gas supply system
- 54 Flueing system

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-86816

(P2003-86816A)

(43)公開日 平成15年3月20日 (2003.3.20)

(51)Int.Cl.
H 01 L 29/872
C 23 C 14/48
H 01 L 21/205
21/265

識別記号

6 0 2

F I
C 23 C 14/48
H 01 L 21/205
21/265
29/78

テ-マコ-ト(参考)
Z 4 K 0 2 9
4 M 1 0 4
6 0 2 A 5 F 0 4 5
6 5 2 T
6 5 3 A

審査請求 未請求 請求項の数20 O L (全 16 頁) 最終頁に続く

(21)出願番号 特願2001-271419(P2001-271419)

(22)出願日 平成13年9月7日 (2001.9.7)

(71)出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 高橋 邦方
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 内田 正雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100077931
弁理士 前田 弘 (外7名)

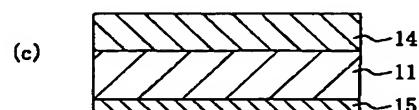
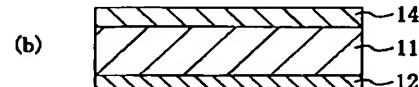
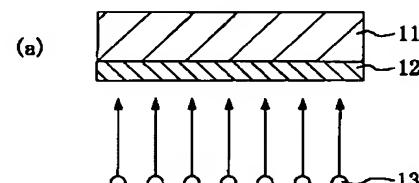
最終頁に続く

(54)【発明の名称】 SiC基板、SiC半導体素子及びその製造方法

(57)【要約】

【課題】 SiC基板裏面とオーミック電極との間の接触抵抗を低減する手段を講じ、電力損失の小さい大容量のSiC基板、SiC半導体素子及びその製造方法を提供することを目的とする。

【解決手段】 SiCバルク基板11の裏面に、基板のキャリア濃度以上のドーパントイオン13を多段階に入れて注入層12を形成する。その後、CVD炉内で基板を加熱して、SiCバルク基板11上にSiCのエピタキシャル成長層14を形成する。同時に、基板裏面に注入されたドーパントイオンが活性化され、不純物ドープ層15が形成される。基板の裏面側に不純物ドープ層15を形成することにより、基板裏面にオーミック電極を取る場合に接触抵抗が低下し、電力損失が少なく大容量のSiC半導体素子を製造することができる。



【特許請求の範囲】

【請求項1】 SiCバルク基板と、

上記SiCバルク基板の正面に対向する面側に設けられ、不純物を上記SiCバルク基板の内部領域とは異なる濃度で含むSiCからなる不純物ドープ層とを有するSiC基板。

【請求項2】 請求項1に記載のSiC基板において、上記SiCバルク基板の内部領域と上記不純物ドープ層とに含まれる不純物の導電型は互いに同じであり、上記不純物ドープ層は上記SiCバルク基板の内部領域よりも高濃度で不純物を含むことを特徴とするSiC基板。

【請求項3】 請求項1または2に記載のSiC基板において、

上記SiC基板の主面上にエピタキシャル成長させたSiCからなるエピタキシャル成長層がさらに設けられていることを特徴とするSiC基板。

【請求項4】 請求項1～3のうちいずれか1つに記載のSiC基板において、

上記不純物ドープ層に含まれる不純物濃度のピークが、上記不純物ドープ層のうち表面から深さ1000nm以内の領域にあることを特徴とするSiC基板。

【請求項5】 SiCバルク基板と、

上記SiCバルク基板の主面上にエピタキシャル成長させた不純物を含むSiCからなるエピタキシャル成長層と、

上記エピタキシャル成長層の上に設けられた導電体からなる少なくとも1つの上部電極と、

上記SiCバルク基板の正面と対向する面側に設けられた不純物を上記SiCバルク基板の内部領域とは異なる濃度で含むSiCからなる不純物ドープ層と、

上記不純物ドープ層の上に設けられたオーミック電極となる下部電極とを有するSiC半導体素子。

【請求項6】 請求項5に記載のSiC半導体素子において、

上記SiCバルク基板の内部領域と上記不純物ドープ層とに含まれる不純物の導電型は互いに同じであり、上記不純物ドープ層は上記SiCバルク基板の内部領域よりも高濃度で不純物を含むことを特徴とするSiC半導体素子。

【請求項7】 請求項5に記載のSiC半導体素子において、

上記SiCバルク基板の内部領域に含まれる不純物の導電型と上記エピタキシャル成長層に含まれる不純物の導電型とが同じであり、ショットキーダイオードとして機能することを特徴とするSiC半導体素子。

【請求項8】 請求項5に記載のSiC半導体素子において、

上記SiCバルク基板は第1導電型不純物を含み、上記エピタキシャル成長層は、上記SiCバルク基板上に設けられた第1導電型第1エピタキシャル層と、上記

第1エピタキシャル層の上に設けられた第2導電型第2エピタキシャル層と、上記第2エピタキシャル層の上に設けられた第1導電型第3エピタキシャル層とを有し、上記上部電極は上記第3エピタキシャル層に接触しており、

上記第2及び第3エピタキシャル層を貫通して上記第1エピタキシャル層の上に設けられた導電体からなるゲート電極とを有する縦型MOSFETとして機能するSiC半導体素子。

10 【請求項9】 請求項5～8のうちいずれか1つに記載のSiC半導体素子において、

上記不純物ドープ層に含まれる不純物濃度のピークが、上記不純物ドープ層のうち表面から深さ1000nm以内の領域にあることを特徴とするSiC半導体素子。

【請求項10】 SiCバルク基板内に不純物イオンを注入して上記SiCバルク基板の内部領域とは異なる濃度で不純物を含む不純物ドープ層を形成する工程(a)と、

上記工程(a)の後に、基板をアニーリングすることにより上記不純物ドープ層に含まれる不純物を活性化する工程(b)と、

上記SiCバルク基板の正面と対向する面の上にCVD法によりSiCをエピタキシャル成長させてエピタキシャル成長層を堆積する工程(c)とを含むSiC基板の製造方法。

【請求項11】 請求項10に記載のSiC基板の製造方法において、

上記工程(a)で上記SiCバルク基板内に注入される不純物イオンは、上記SiCバルク基板の内部領域に含まれる不純物と同じ導電型であり、形成された不純物ドープ層に含まれる不純物濃度は上記SiCバルク基板の内部領域の不純物濃度よりも高いことを特徴とするSiC基板の製造方法。

【請求項12】 請求項10または11に記載のSiC基板の製造方法において、

上記工程(b)と工程(c)とが同時に行われることを特徴とするSiC基板の製造方法。

【請求項13】 請求項10～12のうちいずれか1つに記載のSiC基板の製造方法において、

40 基板の熱処理を行って、上記不純物ドープ層に含まれる不純物濃度のピークが、上記不純物ドープ層表面から深さ1000nm以内の領域に位置するように上記不純物ドープ層の表面を昇華させる工程をさらに含み、同工程が上記工程(c)と同時にされることを特徴とするSiC基板の製造方法。

【請求項14】 請求項10～13のうちいずれか1つに記載のSiC基板の製造方法において、

上記工程(c)における基板の温度は1300～2300°Cの範囲にあることを特徴とするSiC基板の製造方法。50

【請求項15】 SiCバルク基板に第1導電型の不純物イオンを注入して上記SiCバルク基板の正面と対向する面上に不純物ドープ層を形成する工程(a)と、上記工程(a)の後に、基板をアニーリングすることにより上記不純物ドープ層に含まれる不純物を活性化する工程(b)と、

上記SiCバルク基板の上記不純物ドープ層が形成されていない側の上にCVD法によりSiCをエピタキシャル成長させてエピタキシャル成長層を堆積する工程(c)と、

上記エピタキシャル成長層の上に少なくとも1つの上部電極を形成する工程(d)と、

上記不純物ドープ層の上にオーミック電極となる下部電極を形成する工程(e)とを含むSiC半導体素子の製造方法。

【請求項16】 請求項15に記載のSiC半導体素子の製造方法において、

上記工程(a)で上記SiCバルク基板内に注入される不純物イオンは、上記SiCバルク基板の内部領域に含まれる不純物と同じ導電型であり、形成された不純物ドープ層に含まれる不純物濃度は上記SiCバルク基板の内部領域の不純物濃度よりも高いことを特徴とするSiC基板の製造方法。

【請求項17】 請求項15または16に記載のSiC半導体素子の製造方法において、

上記工程(b)と上記工程(c)とを同時に行うこととするSiC半導体素子の製造方法。

【請求項18】 請求項15～17のうちいずれか1つに記載のSiC半導体素子の製造方法において、

基板の熱処理を行って、上記不純物ドープ層に含まれる不純物濃度のピークが、上記不純物ドープ層表面から深さ1000nm以内の領域に位置するように上記不純物ドープ層の表面を昇華させる工程をさらに含み、同工程が上記工程(c)と同時に行われることを特徴とするSiC半導体素子の製造方法。

【請求項19】 請求項15～18のうちいずれか1つに記載のSiC半導体素子の製造方法において、

上記工程(c)では、上記SiCバルク基板上に第1導電型第1エピタキシャル層を、上記第1エピタキシャル層の上に第2導電型第2エピタキシャル層を、上記第2エピタキシャル層の上に第1導電型第3エピタキシャル層をそれぞれ順に形成し、

上記工程(c)の後、工程(d)の前に、上記第2及び第3エピタキシャル層を貫通して上記第1エピタキシャル層に至るトレンチを形成する工程(c')及び上記トレンチを覆うゲート絶縁膜を挟んで上記第1エピタキシャル層の上方にゲート電極を形成する工程(c'')をさらに含むことを特徴とするSiC半導体素子の製造方法。

【請求項20】 請求項15～19に記載のSiC半導

体素子の製造方法において、

上記工程(c)における基板の温度は1300～2300℃の範囲にあることを特徴とするSiC半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、炭化珪素基板、炭化珪素半導体素子及びその製造方法に関するものである。

10 【0002】

【従来の技術】炭化珪素(シリコンカーバイド、SiC)は珪素(Si)に比べてバンドギャップが大きい半導体であることから、高い絶縁耐性を有し、また、高温においても安定な半導体である。このような特性から、SiCは、次世代のパワーデバイスや高周波デバイス、高温動作デバイス等へ応用されることが期待されている半導体材料である。SiCは、立方晶系の3C-SiCや六方晶系の6H-SiC、4H-SiC、あるいは菱面体系の15R-SiC等の多くの結晶構造をとりうることが知られている。この中で、実用的なSiCの半導体素子を作製するために一般的に使用されているのが6H-SiC及び4H-SiCである。そして、c軸の結晶軸に対し垂直な(0001)面にはほぼ一致する面を正面とする基板が広く用いられる。

【0003】炭化珪素半導体素子(SiC半導体素子)は、炭化珪素基板(SiC基板)上に半導体素子の活性領域となるエピタキシャル成長層を形成し、この層に素子の種類に応じて必要な領域を設けることにより形成される。例えば、ダイオードであれば、p型ドープ層、i層(イントリニシック(真性半導体)層)；トンネルダイオードの場合は絶縁層でもよい、n型ドープ層などを形成することになり、FETの場合には、ソース・ドレイン領域、チャネル層などを設けることになる。

【0004】大容量・高耐圧のパワーデバイスは、素子の縦方向、つまり素子の表面から裏面に向かって電流が流れたり、表面と裏面の間に電圧が印加されるという縦型の素子構造をしている。そのために、半導体素子の表面と裏面のそれぞれに電極を有する構成となっている。例えば、ショットキーダイオードの場合、素子の表面にショットキー電極を、裏面にオーミック電極を有する構成となっている。また、縦型MOSFETの場合、基板表面にソース電極及びゲート電極を、裏面にオーミック電極であるドレン電極を有する構成となっている。SiC半導体素子の製造工程における従来技術では、SiC基板上にSiCエピタキシャル成長層を形成した後に、裏面に金属を蒸着して加熱することでオーミック電極を形成させることが一般的である。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来技術では以下のような不具合があった。

【0006】パワーデバイスにおける電気特性は、基板の裏面とオーミック電極との界面に存在する接触抵抗に大きく依存している。そのため、この接触抵抗が大きい場合には、接触抵抗が小さい場合に比べて両者で同じ電圧を印加したとしても、デバイスの動作時に素子に流れる電流（オン電流）は小さくなってしまう。逆にいえば、両者で同じオン電流を得るために、接触抵抗が大きい場合には、より高い電圧を印加することが必要となる。このような問題に加えて、この接触抵抗によって消費された電力は、オーミック電極と基板裏面との界面において、熱を発生させる。このために、接触抵抗が大きい場合は、デバイスの動作時に素子が加熱されてしまい、無視できないほど素子の温度が上昇するという不具合がある。この温度上昇によって、半導体素子は正常な動作をしなくなってしまう。以上のことから、オーミック電極と基板裏面との界面に存在する接触抵抗を可能な限り低減して、素子自体の電力損失を抑制することがパワーデバイスに強く求められている。

【0007】オーミック電極と基板裏面との間の接触抵抗は、両者の界面における基板のキャリア濃度に反比例して減少する。しかしながら、現在実現可能なSiC基板のキャリア濃度は、最高でも $1 \times 10^{19} \text{ cm}^{-3}$ である。これ以上のキャリア濃度では、不純物であるドーパントのSiCの格子間隔への影響が大きくなって基板内で格子歪み等が発生し、結果としてSiC基板の結晶性が劣化してしまう。そのため、結晶性が良好で、かつキャリア濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 以上のSiC基板を実現することは極めて困難であった。そのため、オーミック電極との接触抵抗を低減し、且つ良好な結晶性を持つSiC基板として、キャリア濃度が 10^{18} cm^{-3} オーダーの基板が一般に用いられているが、接触抵抗を十分に減らしているとはいえない。

【0008】このように、従来技術では、基板のキャリア濃度を高くすることによって基板裏面とオーミック電極との間の接触抵抗をこれ以上低減することは困難である。

【0009】本発明の目的は、SiC等のバンドギャップが大きい半導体基板のうちオーミック電極と接する部分のキャリア濃度を高めることにより、基板とオーミック電極との間の接触抵抗の低減を図り、電力損失の少ないSiC半導体素子及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本発明のSiC基板は、SiCバルク基板と、上記SiCバルク基板の正面に対向する面側に設けられ、不純物を上記SiCバルク基板の内部領域とは異なる濃度で含むSiCからなる不純物ドープ層とを有している。

【0011】これにより、例えば上記不純物ドープ層上に金属電極を設ける場合に、不純物ドープ層と電極との

間に生じる接触抵抗を低減することができるなど、従来基板中のキャリア濃度によって制限されていたオーミック電極とSiC基板裏面との界面での接触抵抗を低減させることができる。

【0012】上記SiCバルク基板の内部領域と上記不純物ドープ層とに含まれる不純物の導電型は互いに同じであり、上記不純物ドープ層は上記SiCバルク基板の内部領域よりも高濃度で不純物を含むことにより、上述のように、オーミック電極とSiC基板裏面との界面に存在する接触抵抗を効果的に低減することができる。

【0013】上記SiC基板の正面にエピタキシャル成長させたSiCからなるエピタキシャル成長層がさらに設けられていることにより、エピタキシャル成長層を活性領域とし、SiC基板の裏面における電極との接触抵抗が低減された整流素子やパワーMOSFETなどの縦型の半導体素子の製造に利用することができる。

【0014】上記不純物ドープ層に含まれる不純物濃度のピークが、上記不純物ドープ層のうち表面から深さ 1000 nm 以内の領域にあることにより、オーミック電極を不純物ドープ層の上に設けたときに、不純物ドープ層のうち電極と接触する界面近傍に高濃度のキャリアが存在することになり、接触抵抗を低減する効果がより大きくなる。

【0015】次に、本発明のSiC半導体素子は、SiCバルク基板と、上記SiCバルク基板の正面にエピタキシャル成長させた不純物を含むSiCからなるエピタキシャル成長層と、上記エピタキシャル成長層の上に設けられた導電体からなる少なくとも1つの上部電極と、上記SiCバルク基板の正面と対向する面側に設けられた不純物を上記SiCバルク基板の内部領域とは異なる濃度で含むSiCからなる不純物ドープ層と、上記不純物ドープ層の上に設けられたオーミック電極となる下部電極とを有している。

【0016】これにより、例えばSiC半導体素子がダイオードの場合、下部電極から上部電極へ順方向に電流が流れる際に、SiC基板の裏面のうち下部電極とオーミック接觸する部分（不純物ドープ層）のキャリア濃度が高くなっているので、下部電極との接触抵抗が大きく低減される。そのため、大容量で且つ動作時の電力損失を抑えることが可能となる。

【0017】上記SiCバルク基板の内部領域と上記不純物ドープ層とに含まれる不純物の導電型は互いに同じであり、上記不純物ドープ層は上記SiCバルク基板の内部領域よりも高濃度で不純物を含まっていることにより、素子間を流れる際の抵抗が小さくなるうえ、下部電極と接觸する領域近傍での不純物濃度が高いことにより、上述のように下部電極との接觸抵抗を低減することができる。また、SiCバルク基板と不純物ドープ層とで同じ導電型の不純物が含まれているので、上部電極がショットキー電極であればSiC半導体素子を整流作用

7
を有するショットキーダイオードとして機能させることができる。

【0018】上記SiCバルク基板の内部領域に含まれる不純物の導電型と上記エピタキシャル成長層に含まれる不純物の導電型と同じであり、ショットキーダイオードとして機能することにより、電力損失の少ないショットキーダイオードとことができる。

【0019】また、本発明のSiC半導体素子は、上記SiCバルク基板は第1導電型不純物を含み、上記エピタキシャル成長層は、上記SiCバルク基板上に設けられた第1導電型第1エピタキシャル層と、上記第1エピタキシャル層の上に設けられた第2導電型第2エピタキシャル層と、上記第2エピタキシャル層の上に設けられた第1導電型第3エピタキシャル層とを有し、上記上部電極は上記第3エピタキシャル層に接触しており、上記第2及び第3エピタキシャル層を貫通して上記第1エピタキシャル層の上に設けられた導電体からなるゲート電極とを有する縦型MOSFETとして機能する。

【0020】これにより、不純物ドープ層のうち下部電極と接する界面付近のキャリア濃度が高くなっているので、下部電極との接触抵抗が低減され、電力損失が少なく大きいドレイン電流が得られる縦型パワーMOSFETが実現できる。

【0021】上記不純物ドープ層に含まれる不純物濃度のピークが、上記不純物ドープ層のうち表面から深さ1000nm以内の領域にあることにより、不純物ドープ層と下部電極との界面において生じる接触抵抗を一層低減することができる。

【0022】本発明のSiC基板の製造方法は、SiCバルク基板内に不純物イオンを注入して上記SiCバルク基板の内部領域とは異なる濃度で不純物を含む不純物ドープ層を形成する工程(a)と、上記工程(a)の後に、基板をアニーリングすることにより上記不純物ドープ層に含まれる不純物を活性化する工程(b)と、上記SiCバルク基板の正面と対向する面上にCVD法によりSiCをエピタキシャル成長させてエピタキシャル成長層を堆積する工程(c)とを含んでいる。

【0023】この方法により、裏面に不純物を含み良好な結晶性を持つSiC基板が製造できるので、SiC基板の裏面上にオーミック電極となる金属電極を設ける場合に、金属電極との接触抵抗が従来のSiC基板のものに比べて低減される。

【0024】また、上記工程(a)で上記SiCバルク基板内に注入される不純物イオンは、上記SiC基板の内部領域に含まれる不純物と同じ導電型であり、形成された不純物ドープ層に含まれる不純物濃度は上記SiCバルク基板よりも高いことが好ましい。

【0025】この方法により、工程(c)において、例えばSiCバルク基板と同じ導電型のSiC層をエピタキシャル成長させれば電力損失が少なく大きな電流が得

られるショットキーダイオード用のSiC基板、SiCバルク基板をn型、その上に形成するエピタキシャル成長層を順にアンドープ、p型とすることでやはり電力損失が少ないPINダイオード用のSiC基板を製造することができる。

【0026】また、上記工程(b)と工程(c)とが同時に行われることにより、不純物の活性化とエピタキシャル層の形成とが1工程でできるので、製造工程数を減らすことができ、生産コストを下げることができる。

10 【0027】基板の熱処理を行って、上記不純物ドープ層に含まれる不純物濃度のピークが、上記不純物ドープ層表面から深さ1000nm以内の領域に位置するように上記不純物ドープ層の表面を昇華させる工程をさらに含み、同工程が上記工程(c)と同時に行われることにより、追加工程なしに不純物濃度のピークを不純物ドープ層の表面(ひょうめん)近傍に位置させることができ。後工程でSiC基板の裏面(正面と対向する面)上にオーミック電極を設ければ、電極との接触抵抗を低減したSiC基板を簡単な工程で作製することができる。また、同工程がさらに工程(b)とも同時に行なう場合には、より少ない工程数でSiC基板を製造することができる。

【0028】また、上記工程(c)における基板の温度は1300~2300°Cの範囲にあることにより、良好なエピタキシャル成長層を形成できるとともに、工程(a)のイオン注入の際に不純物ドープ層内に生じた損傷の回復させることができる。

【0029】本発明のSiC半導体素子の製造方法は、SiCバルク基板に第1導電型の不純物イオンを注入して上記SiCバルク基板の正面と対向する面上に不純物ドープ層を形成する工程(a)と、上記工程(a)の後に、基板をアニーリングすることにより上記不純物ドープ層に含まれる不純物を活性化する工程(b)と、上記SiCバルク基板の上記不純物ドープ層が形成されていない側の上にCVD法によりSiCをエピタキシャル成長させてエピタキシャル成長層を堆積する工程(c)と、上記エピタキシャル成長層の上に少なくとも1つの上部電極を形成する工程(d)と、上記不純物ドープ層の上にオーミック電極となる下部電極を形成する工程(e)とを含んでいる。

【0030】この方法により、工程(a)においてSiC基板の裏面の、下部電極と接する領域に不純物を高濃度で含み結晶性のよい不純物ドープ層が形成されているので、下部電極との接触抵抗が小さい半導体素子を製造することができる。すなわち、電力損失が小さくなるので、SiC基板の下部電極との接合面での熱の発生が抑制された半導体素子を製造することができる。

【0031】上記工程(a)で上記SiCバルク基板内に注入される不純物イオンは、上記SiCバルク基板の内部領域に含まれる不純物と同じ導電型であり、形成さ

れた不純物ドープ層に含まれる不純物濃度は上記SiCバルク基板の内部領域の不純物濃度よりも高いことにより、電力損失が少なく、オン電流の大きいSiC半導体素子を製造することができる。

【0032】上記工程(b)と上記工程(c)とを同時に行うことにより、少ない工程でSiC半導体素子を製造することができる。

【0033】基板の熱処理を行って、上記不純物ドープ層に含まれる不純物濃度のピークが、上記不純物ドープ層表面から深さ1000nm以内の領域に位置するように上記不純物ドープ層の表面を昇華させる工程をさらに含み、同工程が上記工程(c)と同時に行われることにより、少ない工程で本発明のSiC半導体素子を製造することができる。同工程と工程(b)、工程(c)とが同時に行われる場合には、さらに製造工程数が削減され、製造コストを低減することができる。

【0034】上記工程(c)では、上記SiCバルク基板上に第1導電型第1エピタキシャル層を、上記第1エピタキシャル層の上に第2導電型第2エピタキシャル層を、上記第2エピタキシャル層の上に第1導電型第3エピタキシャル層をそれぞれ順に形成し、上記工程(c)の後、工程(d)の前に、上記第2及び第3エピタキシャル層を貫通して上記第1エピタキシャル層に至るトレンチを形成する工程(c')及び上記トレンチを覆うゲート絶縁膜を挟んで上記第1エピタキシャル層の上方にゲート電極を形成する工程(c")をさらに含むことにより、下部電極との接触抵抗が不純物のドーピング・活性化により低減されているので、電力損失が低減され、且つ大容量の縦型MOSFETを製造することができる。

【0035】上記工程(c)における基板の温度は1300~2300°Cの範囲にあることにより、結晶性の良好なエピタキシャル成長層を有するSiC半導体素子を製造することができる。また、工程(a)のイオン注入の際に生じた不純物ドープ層の結晶欠陥の修復も同時に行われる。

【0036】

【発明の実施の形態】(第1の実施形態)まず、本発明の第1の実施形態である、基板裏面に活性化されたドーパントイオンを含み、基板上にSiCのエピタキシャル成長層を備えたSiC基板の製造方法について説明する。

【0037】図1(a)~(c)は、本実施形態に係るSiC基板の製造方法を示す断面図である。

【0038】図1(a)に示す工程で、SiCバルク基板11を準備する。SiCバルク基板11としては、例えば、主面が(0001)面(c面)から[11-20](112バーオ)方向に8度のオフ角度がついた面で、表面にSi原子が並んでいる、直径25mmのSiC基板(4H-SiC基板)を用いる。この基板はn型で、キ

ヤリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。なお、ここで正面とは、表面荒さが小さい方の面であって、以下の工程ではこの面に半導体素子として動作するために必要な領域が形成される。

【0039】次に、n型のドーパントイオンである窒素イオン13を、注入エネルギーが互いに異なる、例えば7回のイオン注入工程に分けてSiCバルク基板11の裏面全面に注入する。ここで、イオン注入の条件は、7.0MeVの加速電圧のイオンドーズ量を $1 \times 10^{15} \text{ atoms} \cdot \text{cm}^{-2}$ 、5.6MeVの加速電圧のドーズ量を $1 \times 10^{15} \text{ atoms} \cdot \text{cm}^{-2}$ 、4.4MeVの加速電圧のドーズ量を $7 \times 10^{14} \text{ atoms} \cdot \text{cm}^{-2}$ 、3.3MeVの加速電圧のドーズ量を $7 \times 10^{14} \text{ atoms} \cdot \text{cm}^{-2}$ 、2.4MeVの加速電圧のドーズ量を $3 \times 10^{14} \text{ atoms} \cdot \text{cm}^{-2}$ 、1.6MeVの加速電圧のドーズ量を $3 \times 10^{14} \text{ atoms} \cdot \text{cm}^{-2}$ 、1.0MeVの加速電圧のドーズ量を $3 \times 10^{14} \text{ atoms} \cdot \text{cm}^{-2}$ とした。イオン注入の方向は、いずれの場合にもSiCバルク基板11の法線に対して7°傾いた方向であり、イオン注入は室温下で行っている。

【0040】これにより、SiCバルク基板11の裏面上には注入層12が形成される。なお、このとき、裏面の表面から深さ約1000nm以内の領域では後で説明するように、窒素濃度がそのピーク濃度よりも薄くなっている。

【0041】次に、図1(b)に示す工程で、CVD法によりSiCバルク基板11上にSiC層をエピタキシャル成長させる。具体的な方法を以下に述べる。

【0042】図2は、本発明の各実施形態において用いるCVD炉の構成を示す断面図である。

【0043】同図に示すように、このCVD炉は石英製のチャンバー50と、チャンバー内に配置されSiCバルク基板11を設置するためのカーボン製の基板支持治具51と、基板支持治具51やSiCバルク基板11を高周波電力によって加熱するための誘導加熱用コイル52と、ガス供給系53と、ガス排気系54とを備えている。

【0044】まず、このCVD炉のチャンバー50内を 10^{-6} Pa 程度の真空中になるまで減圧した後、ガス供給系53から希釈ガスを供給する。

【0045】希釈ガスとしては水素ガスを選択し、流量は2L/minとした。エピタキシャル成長時のチャンバー内の圧力は常圧(1気圧)で一定とする。誘導加熱用コイル52に、20.0kHz、20kWの高周波電力を印加して、SiC基板を1600°Cに加熱する。

【0046】統いて、基板温度が成長温度に到達した時点で、エピタキシャル成長用の原料ガス及びドーパントガスを供給する。原料ガスとしては、SiH₄及びC₂H₂を用い、SiH₄及びC₂H₂の流量はそれぞれ3mL/minと2mL/minとする。n型のドーパントガス

としては窒素を用い、その流量を $3 \text{ mL}/\text{min}$ とする。

【0047】図3は、SiCエピタキシャル成長層の形成工程において、原料ガスの供給量(SiH₄の供給量とC₂H₂の供給量との合計)及び基板温度(加熱時1600°C)の時間変化のプロセスを示す図である。SiCバルク基板11上に形成されるエピタキシャル成長層14の厚みは約3μmで、この成長層中のキャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。

【0048】次に、図1(c)に示す工程で、原料ガス及びドーバントガスを停止すると同時に基板への加熱を停止してエピタキシャル成長を終了させる。

【0049】本工程において、基板を1600°Cに加熱することにより、図1(a)に示す工程で行ったイオン注入により生じたSiCバルク基板11の結晶構造の損傷を修復させることができる。さらに、注入された窒素イオンの活性化も本工程中で同時に行われ、注入層12はn型ドープ層15となる。

【0050】また、基板裏面のn型ドープ層15の表層部分はエピタキシャル成長層14の形成の際に昇華する。このため、エッティング等の操作を行うことなしにn型ドープ層15のうち窒素を高濃度で含む部分を露出させることができる。

【0051】上述の方法により製造された本実施形態のSiC基板は、4H-SiC基板であるSiCバルク基板11と、SiCバルク基板11上にエピタキシャル成長させたSiCからなる厚さ約3μmのエピタキシャル成長層14と、SiCバルク基板内の裏面側に設けられた濃度約 $1 \times 10^{18} \text{ cm}^{-3}$ の窒素を含む厚さ約3μmのn型ドープ層とを備えている。また、SiCバルク基板11とエピタキシャル成長層14とは共に 10^{18} cm^{-3} の窒素を含んでいる。

【0052】-基板中の窒素プロファイル-

次に、エピタキシャル成長層14の形成後の基板裏面におけるn型ドープ層15の深さ方向の窒素濃度のプロファイルについて、2次イオン質量分析装置(SIMS)を用いて測定した。

【0053】図4は、SIMSを用いて分析した窒素の濃度分布を示す図である。同図から、上記SiCバルク基板11の裏面上に厚みが約3μmでドーバント濃度が約 $1 \times 10^{18} \text{ cm}^{-3}$ と、SiCバルク基板11に比べて約一桁高い濃度のn型不純物を含むn型ドープ層15が形成されていることが確認された。

【0054】また、図4から、基板の裏面側から見て最も浅い位置にある窒素濃度のピークは、n型ドープ層15のうち表面から深さ約500nm以下の領域にあることが分かる。これは、上記のイオン注入条件では注入された不純物濃度のピークは表面から深さ1000nm以上の領域に位置することから、注入層12(またはn型ドープ層15)の表面部分は約500nm以上昇華した

ことを示している。

【0055】なお、ここではn型ドープ層15のうち表面付近の窒素濃度は約 $1 \times 10^{18} \text{ cm}^{-3}$ となっているが、図1(b)～(c)に示すエピタキシャル成長層14の形成工程において、基板温度を上げる、もしくはエピタキシャル成長の時間を延長するなど、条件を調整することにより、n型ドープ層15中の高濃度に窒素を含む部分を露出させることができる。

【0056】-電気特性の比較-

10 次に、本実施形態のSiC基板と電気特性を比較するために、裏面にドーバントイオンを注入しないで、表(おもて)面側にエピタキシャル成長させたSiC層を有する従来のSiC基板を作成した。使用したSiC基板はn型の4H-SiCで、基板中のキャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ であった。なお、エピタキシャル成長層の形成条件及びエピタキシャル成長層の厚みは本実施形態のSiC基板と同一とした。

【0057】次に、本実施形態のSiC基板及び従来技術によって作製した従来のSiC基板の各々の表面及び20裏面にオーム電極を形成して各SiC基板の電気特性を測定し、この測定結果より、基板裏面とオーム電極との界面での接触抵抗について評価した。

【0058】まず、各SiC基板の裏面に直径0.5mmのニッケル(Ni)ドット電極を電子ビーム(EB)蒸着装置によって蒸着した後、加熱炉で1000°Cで加熱することでオーム電極とした。さらに、基板の表(おもて)面にも直径0.5mmのNiドット電極をEB蒸着装置によって蒸着した後、加熱炉で1000°Cで加熱することでオーム電極とした。

30 【0059】次いで、各SiC基板の表(おもて)面と裏面に形成したオーム電極を通して各SiC基板に電流を流した。

【0060】図5は、本実施形態のSiC基板と、従来技術によって作製した従来のSiC基板のそれぞれについての印加電圧と電流との関係を測定した結果を示す図である。同図から、本実施形態のSiC基板においては、従来のSiC基板と比べて、同一の電圧を印加した時におよそ2倍近くの電流が流れていることが分かる。

40 【0061】この結果から、本実施形態のSiC基板では、基板裏面とオーム電極との界面の接触抵抗は大きく低減されていることが明らかになった。このことは、ドーバントイオンが注入された領域(注入層12)は、エピタキシャル成長層14の形成中に活性化されることにより、SiC基板のキャリア濃度に比べて高い濃度の窒素を含むn型ドープ層15となっていることを示している。

【0062】なお、本実施形態のSiC基板は、基板の裏面とオーム電極との間の接触抵抗が従来のSiC基板に比べ大きく低減されているので、以下の実施形態50で述べるショットキーダイオードやPINダイオード等

の整流素子や縦型パワーMOSFETをなどの半導体素子に利用された場合、これらの半導体素子での電力損失を低減するとともに、動作時の熱の発生を抑制することができる。

【0063】また、本実施形態のSiCの製造方法によれば、導入した不純物の活性化、イオン打ち込みによってできた結晶欠陥の修復及びn型ドープ層のうち高濃度に不純物を含む部分の露出がCVD法によるエピタキシャル成長層の形成工程において行われるので、基板裏面とオーミック電極との接触抵抗が小さいSiC基板を工程を増やすことなく効率的に製造することができる。

【0064】また、本実施形態のSiC基板の製造方法によれば、上述のように、エピタキシャル成長の温度条件を調整することなどにより、n型ドープ層15のうち窒素を高濃度で含む領域を露出させることができる。これにより、基板裏面とオーミック電極との間の接触抵抗をさらに小さくすることができる。

【0065】なお、本実施形態のSiC基板の製造方法においては、n型のSiC基板の裏面に、n型のドーパントとして窒素をイオン注入したが、n型の伝導性を示す他のイオン種、例えば、リンをイオン注入しても効果がある。また、n型に代えてp型のSiC基板の裏面にホウ素(B)など、p型のドーパントをイオン注入しても効果がある。

【0066】また、本実施形態のSiC基板の製造方法においては、注入エネルギーが互いに異なるイオンを多段階で注入している。これはn型ドープ層15の表面が昇華により削られるため、あらかじめドーピングする層を厚めに取る意味がある。しかし、実際には単一の注入エネルギーでイオンを注入したときでも基板裏面とオーミック電極との接触抵抗を低減することができる。

【0067】なお、本実施形態ではn型ドープ層15を形成するためにイオン注入の加速電圧を1.0~7.0MeVに設定したが、注入するイオンの加速電圧をさらに低くすることで、不純物濃度のピーク位置をより表面に近づけることができる。ただし、この場合にはn型ドープ層15の厚みは薄くなる。

【0068】また、本実施形態のSiC基板の製造方法においては、SiC基板裏面の全面にドーパントイオンを注入したが、SiC基板裏面のある部分をマスク等で覆うことによって、一部分にのみドーパントイオンを注入しても構わない。

【0069】また、本実施形態においては、SiCバルク基板上に形成するSiCのエピタキシャル成長層にはn型不純物イオンとして窒素イオンを導入したが、他にリン(P)などを用いてもよく、ホウ素(B)、アルミニウム(A1)などのp型不純物を用いてもよい。また、SiCのエピタキシャル成長層がn型不純物を含む層とp型不純物を含む層の両方を含んでいてもよい。

【0070】また、本実施形態においては、エピタキシ

ヤル成長と基板裏面に注入されたイオンの活性化を同時に行ったが、この2つの工程を同時に行なう必要は必ずしもない。

【0071】図6は、エピタキシャル成長工程の前に基板の活性化アニールを行なう場合の原料ガス、活性化アニール時の水素ガス供給量及び基板温度の時間変化のプロセスの一例を示す図である。同図に示すように、例えば、活性化アニールに必要な温度が成長温度より高い場合には、エピタキシャル成長工程の前に基板を加熱することで活性化アニールしても差し支えない。なお、この工程において供給されるガスとしては、水素ガスの他にアルゴンガスであってもよい。

【0072】また、図7は、エピタキシャル成長工程の後に基板の活性化アニールを行なう場合の原料ガス、活性化アニール時の水素ガス供給量及び基板温度の時間変化のプロセスの一例を示す図である。同図に示すように、エピタキシャル成長層の形成工程後に基板を加熱することで活性化アニールしても差し支えない。このように、エピタキシャル成長工程と基板の活性化アニールを別工程で行なう方法によれば、エピタキシャル成長層の形成工程の設定によらずにSiC基板の裏面の昇華量を調節することができる。

【0073】また、本実施形態のSiC基板の製造方法においては、エピタキシャル成長層14を形成する基板温度として1600°Cを選択したが、この温度に限られず、1300~2300°Cの範囲にあることが好ましい。2300°Cを越えるとSiCバルク基板11が分解するおそれがあり、1300°C未満ではSiC基板中の損傷の回復が進行しないからである。

【0074】加えて、SiCのエピタキシャル成長工程と同時にSiC基板の裏面を昇華させる場合には、圧力にも影響されるが、基板温度が1400°C以上であることが必要である。

【0075】そして、上述の基板温度の範囲の中でも、結晶性の良好なエピタキシャル成長層を半導体素子を作製するのに十分な厚みで形成するために、エピタキシャル成長工程における基板温度は1500°C~2000°Cの範囲であることがより好ましい。

【0076】また、本実施形態においては、基板裏面への窒素イオンの注入工程の後にSiCのエピタキシャル成長層を形成したが、このエピタキシャル成長層を形成せずに、SiCバルク基板自体を半導体素子の半導体層として用いることもできる。ただし、その際にも、1300°C以上で基板中に含まれる不純物の活性化アニール工程は必要になる。この方法により製造したSiC基板のn型ドープ層においては、窒素濃度のピークは表面から深さ1000nm以上の領域にあるものの、従来のSiC基板と比べると、オーミック電極との接触抵抗は低減される。

【0077】なお、本実施形態においてはSiCバルク

基板として4H-SiC基板を用いたが、6H-SiC基板など他のSiC基板を用いてもよい。

【0078】また、SiCパルク基板に代えて、SiCと同様にバンドギャップの大きいダイヤモンド基板あるいはGaN（ガリウムナイトライド）基板を用いることもできる。

【0079】（第2の実施形態）本発明の第2の実施形態として、第1の実施形態に係るSiC基板を利用してショットキーダイオードを製造する方法について説明する。

【0080】図8（a）～（c）は、本実施形態に係るショットキーダイオードの製造方法を示す断面図である。

【0081】まず、図8（a）に示す工程で、SiCパルク基板21を準備する。SiCパルク基板21としては、例えば、主面が（0001）面（c面）から[11-20]（112バー0）方向に8度のオフ角度がついた面である、直径25mmのSiC基板（4H-SiC基板）を用いる。この基板はn型で、キャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。そして、加速電圧、ドーズ量、注入角といったイオン注入条件を第1の実施形態のSiC基板の製造方法と同じにして、SiCパルク基板21の裏面に窒素イオン23を注入する。これにより、SiCパルク基板21の裏面には注入層22が形成される。

【0082】次に、図8（b）に示す工程で、SiCパルク基板21を図2に示すような構造を有するCVD炉のチャンバー内に設置し、SiCからなるエピタキシャル成長層24の形成を行なう。この工程において、基板裏面に注入されたドーパントイオンの活性化アニールが同時に行われると共に、イオン注入の際に生じた結晶欠陥の修復が行われ、また、注入層22の表面部分の昇華も起こる。

【0083】本工程でのエピタキシャル成長の条件は、希釈ガスである水素ガスの流量が2L/min、原料ガスであるSiH₄及びC₂H₂の流量はそれぞれ3mL/minと2mL/min、ドーパントガスである窒素の流量は0.1mL/minとする。また、エピタキシャル成長時のチャンバー内の圧力は常圧（1気圧）で一定とし、成長温度は1600°Cとする。この条件下で形成されたSiCのエピタキシャル成長層は厚みが約3μmで、キャリア濃度は $1 \times 10^{16} \text{ cm}^{-3}$ であった。

【0084】次に、図8（c）に示す工程で、原料ガスの供給を止めて、エピタキシャル成長層24の形成を終わらせる。このとき、注入層22中に含まれる窒素が活性化されてn型ドープ層25となる。

【0085】このようにして形成した基板裏面上のn型ドープ層25の深さ方向の窒素濃度は、図4に示すSIMSによるプロファイルと同様のプロファイルを示す。すなわち、上記SiCパルク基板21の裏面上に厚みが約3μmで、ドーパント濃度が $1 \times 10^{19} \text{ cm}^{-3}$ で基

板に比べて約一桁高い濃度の窒素を含むn型ドープ層25が形成されていることが分かる。また、n型ドープ層25のうち表面部分は昇華により削られており、窒素濃度のピークのうち最も浅いものは、n型ドープ層25の表面から深さ500nm以内にある。

【0086】次に、SiCパルク基板21の裏面にEB蒸着装置を用いてNiを蒸着した後、加熱炉で1000°Cで加熱することでNiからなるオーミック電極28を形成する。

【0087】続いて、エピタキシャル成長層24の上にCVD法などによりシリコン酸化膜を形成した後、その一部を開口してガードリング26を形成する。次いで、エピタキシャル成長層24のうちガードリング26が開口した領域の上に、金（Au）からなるショットキー電極27を形成する。

【0088】以上の工程により製造される本実施形態のショットキーダイオードは、SiCパルク基板21と、SiCパルク基板21上に形成されたSiCからなる厚さ3μmのエピタキシャル成長層24と、エピタキシャル成長層24上に形成されてその一部が開口したシリコン酸化物（SiO₂）からなるガードリング26と、エピタキシャル成長層24のうちガードリング26が開口した領域の上に形成されたAuからなるショットキー電極27と、SiCパルク基板21の裏面上に形成されたn型不純物を高濃度で含む厚さ3μmのn型ドープ層25と、n型ドープ層上に蒸着により形成されたNiからなるオーミック電極28とを備えている。エピタキシャル成長層24、SiCパルク基板21及びn型ドープ層25に含まれる窒素の濃度は、それぞれ、 $1 \times 10^{16} \text{ cm}^{-3}$ 、約 $1 \times 10^{18} \text{ cm}^{-3}$ 、約 $1 \times 10^{19} \text{ cm}^{-3}$ である。

【0089】次に、本実施形態のショットキーダイオードと電気特性を比較するため、従来技術によって作製したSiC基板を用いてショットキーダイオードを作製した。なお、両基板ともn型の4H-SiC基板を使用しており、基板中のキャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。エピタキシャル成長層の形成条件ほか、ショットキーダイオードの形成条件は、本実施形態のショットキーダイオードと同一とした。なお、形成したエピタキシャル成長層は厚みを約3μm、キャリア濃度は $1 \times 10^{16} \text{ cm}^{-3}$ とした。

【0090】両ショットキーダイオードの性能比較は、順方向電圧印加時の電流（オン電流）について測定することにより行なった。

【0091】図9は、本実施形態のショットキーダイオード及び従来技術によって作製したショットキーダイオードの電流-電圧特性を示す図である。同図から、本実施形態のショットキーダイオードでは、従来の方法で作製したショットキーダイオードに比べてオン電流が約2倍以上大きくなっていることが分かる。これは、本実施形態のショットキーダイオードにおいて、n型ドープ層

25とオーミック電極28との間の接触抵抗が大幅に低減したために順方向電圧を印加した時のオン電流が大きくなつたと考えられる。

【0092】また、オン電圧（オン電流が流れ始めるときの順方向電圧）は両ダイオードとも約1Vで差は見られなかつた。

【0093】なお、上記のショットキーダイオードに逆方向電圧を印加した場合の漏れ電流は数pA (10^{-12} A) 程度と両ダイオードでほぼ同一であり、逆バイアス印加時の耐圧も両者でほぼ同じであった。このことは、基板裏面にドーバントイオンを注入する工程が基板及びエピタキシャル成長層の結晶性にほとんど影響を与えていないことを示している。これらの結果から、基板の裏面にドーバントイオンを注入し、この基板の表（おもて）面上にエピタキシャル成長層を形成することで、オン電流が従来技術に比べて2倍以上大きいという特徴をもつたショットキーダイオードを作製できることが示された。これは、本実施形態のショットキーダイオードは、従来のものと比べて動作時の電力損失が少ないことを意味する。

【0094】加えて、本実施形態のショットキーダイオードでは、オーミック電極28とn型ドープ層25との界面における接触抵抗が小さくなつてゐることから、動作時に上記界面での熱の発生が抑制される。よつて、本実施形態のショットキーダイオードによれば、これを組み込まれた半導体素子において熱による動作不良の発生を抑制することができる。

【0095】なお、本実施形態のショットキーダイオードにおいてはSiC基板、エピタキシャル成長層及び不純物ドープ層（n型ドープ層）のドーバントとしてn型不純物を用いたが、これに代えてp型不純物を用いてもよい。

【0096】なお、本実施形態においてはショットキーダイオードを作製した例を示したが、エピタキシャル成長工程において、まずn型不純物を加え、次いでp型不純物を加えることにより、SiCからなるn型のドープ層とp型のドープ層とをSiC基板上にそれぞれエピタキシャル成長させたpnダイオードを作製することもできる。

【0097】また、第1の実施形態のSiC基板と同様に、ショットキーダイオード中の各層がn型不純物の代わりに、ホウ素（B）、アルミニウム（Al）などのp型不純物を含んでいてもよい。

【0098】なお、本実施形態のショットキーダイオードの製造方法においても、第1の実施形態のSiC基板の製造方法と同様に、SiC層のエピタキシャル成長工程を基板のアニーリング工程の前あるいは後に分けて行ってもよい。そのとき、温度条件を調節すれば、どちらの工程においてもSiC基板裏面の昇華を起こすことができる。

【0099】（第3の実施形態）本発明の第3の実施形態として、第1の実施形態に係るSiC基板の製造方法を利用して、縦型パワーMOSFETを作製する方法について説明する。

【0100】図10（a）～（c）は、本実施形態に係る縦型パワーMOSFETを製造方法を示す断面図である。

【0101】まず、図10（a）に示す工程で、SiCバルク基板31を準備する。SiCバルク基板31としては、例えば、主面が（0001）面（c面）から[11-20]（112バーゼー0）方向に8度のオフ角度がついた面である、直径25mmのSiC基板（4H-SiC基板）を用いる。この基板はn型で、キャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。

【0102】次に、加速電圧、ドーズ量、注入角などの条件を第1及び第2の実施形態と同一にして、SiCバルク基板31の裏面側に窒素イオン33を注入する。これにより、SiCバルク基板31の裏面側に注入層32が形成される。

【0103】次に、図10（b）に示す工程で、SiC基板を図2に示すCVD炉のチャンバー内に設置し、上述の第1の実施形態と同様の条件で、SiCバルク基板31上にSiC層をエピタキシャル成長させると同時に基板裏面に注入されたドーバントイオンの活性化アニールを行なう。

【0104】この際に、始めにn型ドーバントガス、次いでp型ドーバントガス、その次にn型ドーバントガスを装置内に導入することにより、SiCバルク基板31上に順にn型、p型、n型のSiC層を形成する。

【0105】エピタキシャル成長条件は、希釈ガスの水素ガスの流量が2L/miⁿ、原料ガスのSiH₄及びC₂H₂の流量がそれぞれ3mL/miⁿと2mL/miⁿとする。また、n型のドーバントガスとしては窒素を、p型のドーバントガスとしてはトリメチルアルミニウム（TMA）を用いた。エピタキシャル成長時のチャンバー内の圧力は常圧（1気圧）で一定とし、成長温度は1600°Cとする。

【0106】このようにして、上記SiCバルク基板31上に、キャリア濃度約 $2 \times 10^{17} \text{ cm}^{-3}$ の窒素イオンが導入されたSiCからなる厚みが10μmのn型エピタキシャル成長層34と、キャリア濃度約 $1 \times 10^{16} \text{ cm}^{-3}$ のアルミニウムイオンが導入された厚みが3μmのp型エピタキシャル成長層35と、キャリア濃度約 $1 \times 10^{18} \text{ cm}^{-3}$ の窒素イオンが導入された厚みが0.3μmのn型エピタキシャル成長層36とを形成した。

【0107】また、注入層32は、SiCのエピタキシャル成長と同時に窒素が活性化されることによりn型ドープ層37となる。

【0108】さらに、本工程において、基板裏面に注入されたドーバントイオンの活性化アニールが同時に行なわ

れると共に、イオン注入の際に生じた結晶欠陥の修復が行われ、また、注入層32の表面部分の昇華も起こる。

【0109】このとき、n型ドープ層37の深さ方向の窒素濃度は、図4に示したSIMSによるプロファイルと同様のプロファイルとなる。この図より、n型ドープ層37は、厚みが約 $3\text{ }\mu\text{m}$ で、約 $1 \times 10^{19}\text{ cm}^{-3}$ と基板に比べて約一桁高い濃度の窒素を含むことが分かる。また、n型ドープ層37のうち表面部分は昇華により削られており、窒素濃度のピークのうち最も浅いものは、n型ドープ層37のうち表面から深さ 500 nm 以内の領域にある。

【0110】次に、図10(c)に示す工程で、基板上にトレンチ形成領域を開口したシリコン酸化膜及びニッケル膜からなるエッチングマスク(図示せず)を形成し、 CF_4 と O_2 とを用いた反応性イオンエッチングを行なって、p型エピタキシャル成長層35を貫通し、n型エピタキシャル成長層36内に達するトレンチを形成する。

【0111】次いで、約 $1100\text{ }^\circ\text{C}$ の温度下で基板を熱酸化することでトレンチの側壁部及び底部に SiO_2 からなるゲート絶縁膜39を形成し、その後、トレンチ内にポリシリコン膜を堆積することでゲート電極40を形成する。

【0112】続いて、エッチングマスクを除去した後、基板の表(おもて)面及び裏面にEB蒸着装置によってNiを蒸着する。次いで、加熱炉中で基板を $1000\text{ }^\circ\text{C}$ に加熱することにより、n型エピタキシャル成長層36の上にソース電極41を、基板裏面側のn型ドープ層37の上にドレイン電極38をそれぞれ形成する。これにより、本実施形態の縦型MOSFETが作製される。

【0113】すなわち、以上の製造方法により作製される本実施形態の縦型MOSFETは、n型不純物を含むSiCパルク基板31と、SiCパルク基板31上に順に形成されたn型エピタキシャル成長層34、p型エピタキシャル成長層35及びn型エピタキシャル成長層36と、n型エピタキシャル成長層36及びp型エピタキシャル成長層35を貫通してn型エピタキシャル成長層34内に至るトレンチの側壁部及び底部に設けられた SiO_2 からなるゲート絶縁膜39と、ゲート絶縁膜上に設けられたポリシリコンからなるゲート電極40と、n型エピタキシャル成長層36上に設けられたNiからなるソース電極41と、SiCパルク基板31の裏面上に形成された高濃度の窒素を含むSiCからなるn型ドープ層37と、n型ドープ層37の上に形成されたNiからなるドレイン電極38とを備えている。なお、n型ドープ層37には濃度が $1 \times 10^{19}\text{ cm}^{-3}$ の窒素が含まれている。また、ソース電極41及びドレイン電極38は共にオーミック電極となっている。

【0114】次に、従来技術によって作製された従来のSiC基板を用いた縦型パワーMOSFETを作製し

て、その電流-電圧特性を本実施形態の縦型パワーMOSFETと比較した。なお、SiC基板は共にn型の4H-SiCで、SiC基板内のSiCパルク基板中に含まれるキャリア濃度は $1 \times 10^{18}\text{ cm}^{-3}$ である。従来のSiC基板を用いた縦型パワーMOSFETにおいて、エピタキシャル成長させた各SiC層やゲート電極及び各電極の形成条件は本実施形態の縦型MOSFETと同一とした。

【0115】両パワーMOSFETの電流-電圧特性について測定した結果、しきい値以上の同じ電圧をゲート電極に印加した場合、本実施形態の縦型パワーMOSFETを流れる電流が、従来技術により作製した縦型パワーMOSFETを流れる電流に比べて約2倍以上大きくなっていることが分かった。

【0116】これは、本実施形態の縦型パワーMOSFETにおいて、基板裏面側のn型ドープ層37とドレイン電極38との間の接触抵抗が大幅に低減したために、順方向電圧を印加したときのドレイン電流が大きくなったものと考えられる。

【0117】この結果から、基板の裏面にドーパントイオンを注入し、この基板表面にエピタキシャル成長層を形成することで、オン電流が従来技術に比べて2倍以上大きいという特徴を持った縦型パワーMOSFETを作製できることが示された。

【0118】つまり、本実施形態の縦型パワーMOSFETの製造方法によれば、従来に比べて電力損失の少ない縦型パワーMOSFETを作製することができる。

【0119】加えて、本実施形態の縦型パワーMOSFETでは、ドレイン電極とオーミック接觸する界面における接觸抵抗が小さくなっていることから、動作時に上記界面での熱の発生が抑制される。よって、本実施形態の縦型パワーMOSFETにおいては、熱による動作不良の発生が抑制されている。

【0120】なお、本実施形態のパワーMOSFETの製造方法においても、第1の実施形態のSiC基板の製造方法と同様に、SiC層のエピタキシャル成長工程を基板のアニーリング工程の前あるいは後に分けて行ってもよい。

【0121】なお、本実施形態においては、縦型パワーMOSFETの製造方法について述べたが、オーミック電極を備えた縦型構造を持ち、SiCなどのバンドギャップの大きな半導体層を有する半導体素子であれば、本実施形態の縦型パワーMOSFETと同様に省電力化、発熱の抑制などの効果が得られる。

【0122】

【発明の効果】本発明のSiC基板、SiC半導体素子及びその製造方法によれば、SiCパルク基板の裏面上にSiCパルク基板中のキャリア濃度に比べてキャリア濃度の高い不純物ドープ層を設けることにより、基板裏面とオーミック電極との界面における接觸抵抗を低下さ

せるので、電力損失を低減し、発熱を抑制することができる。

【図面の簡単な説明】

【図1】(a)～(c)は、本発明の第1の実施形態に係るSiC基板を形成するための基本的な手順を示す図である。

【図2】本発明の各実施形態において用いたCVD炉の構成を示す断面図である。

【図3】SiCエピタキシャル成長層の形成工程において、原料ガスの供給量及び基板温度の時間変化のプロセスを示す図である。

【図4】本発明の第1の実施形態の方法によってエピタキシャル成長層の形成と同時に注入されたドーパントイオンを活性化した場合のドーパント濃度のプロファイルをSIMSを用いて測定した結果を示す図である。

【図5】本発明の第1の実施形態に係るSiC基板と従来のSiC基板の電流-電圧特性を測定した結果を示す図である。

【図6】本発明の製造方法において、エピタキシャル成長工程の前に活性化アニール工程を行なう場合のプロセスの流れを示す図である。

【図7】本発明の製造方法において、エピタキシャル成長工程の後に活性化アニール工程を行なう場合のプロセスの流れを示す図である。

【図8】(a)～(c)は、本発明の第2の実施形態に係るショットキーダイオードの製造工程を示す断面図である。

【図9】本発明の第2の実施形態に係るショットキーダイオード及び従来のショットキーダイオードの電流-電圧特性を示す図である。

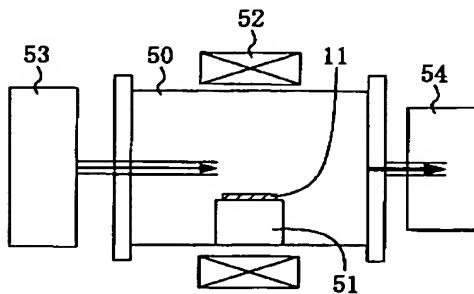
【図10】(a)～(c)は、本発明の第3の実施形態に係る縦型パワーMOSFETの製造工程を示す断面図*

*である。

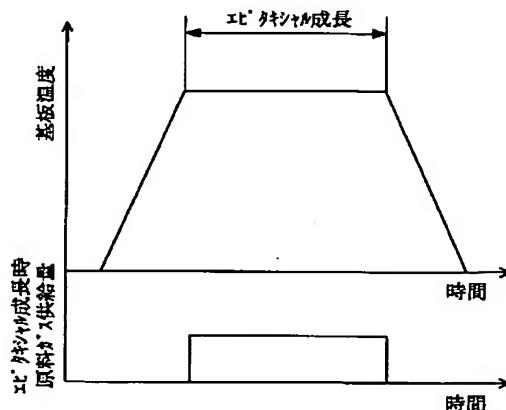
【符号の説明】

- | | |
|----|--------------|
| 11 | SiCパルク基板 |
| 12 | 注入層 |
| 13 | 窒素イオン |
| 14 | エピタキシャル成長層 |
| 15 | n型ドープ層 |
| 21 | SiCパルク基板 |
| 22 | 注入層 |
| 23 | 窒素イオン |
| 24 | エピタキシャル成長層 |
| 25 | n型ドープ層 |
| 26 | ガードリング |
| 27 | ショットキー電極 |
| 28 | オーム電極 |
| 31 | SiCパルク基板 |
| 32 | 注入層 |
| 33 | 窒素イオン |
| 34 | n型エピタキシャル成長層 |
| 35 | p型エピタキシャル成長層 |
| 36 | n型エピタキシャル成長層 |
| 37 | n型ドープ層 |
| 38 | ドレイン電極 |
| 39 | ゲート絶縁膜 |
| 40 | ゲート電極 |
| 41 | ソース電極 |
| 50 | チャンバー |
| 51 | 基板支持治具 |
| 52 | 誘導加熱コイル |
| 53 | ガス供給系 |
| 54 | ガス排気系 |

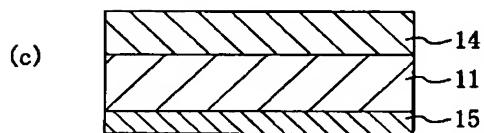
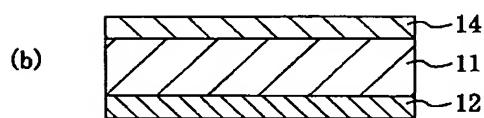
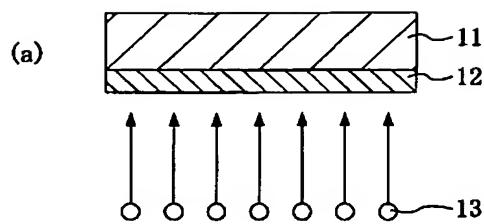
【図2】



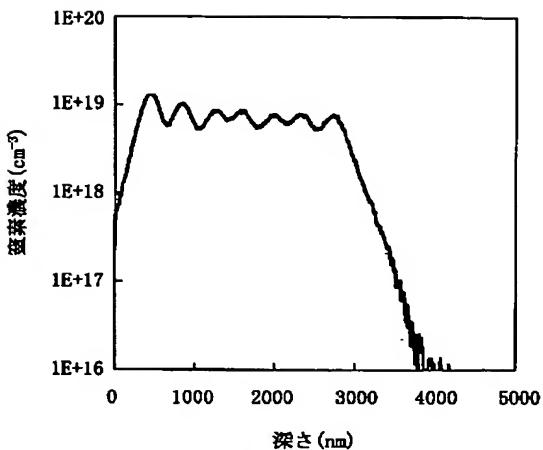
【図3】



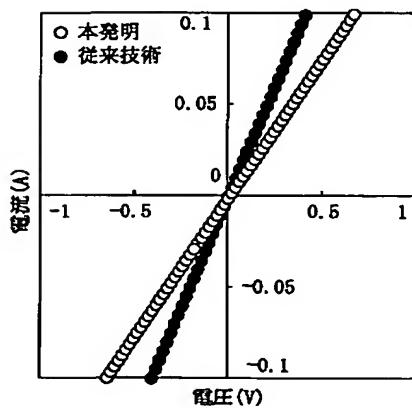
【図1】



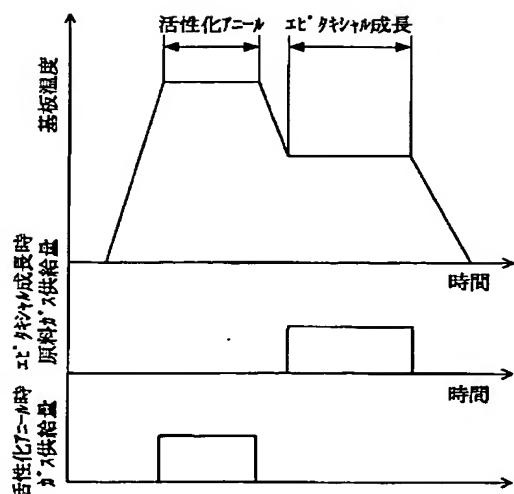
【図4】



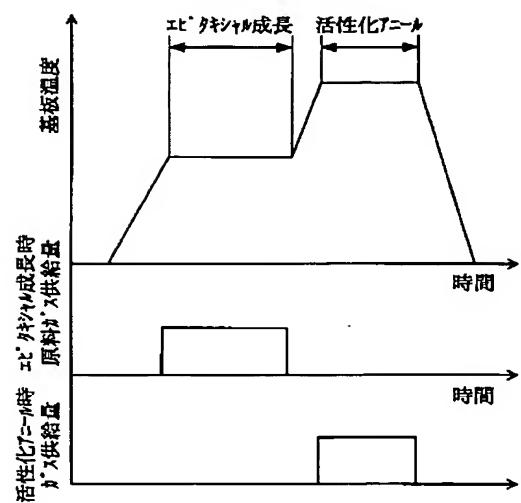
【図5】



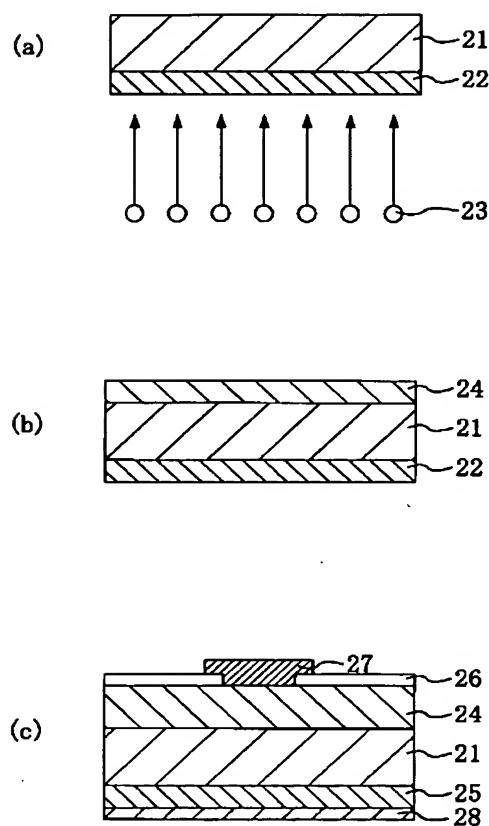
【図6】



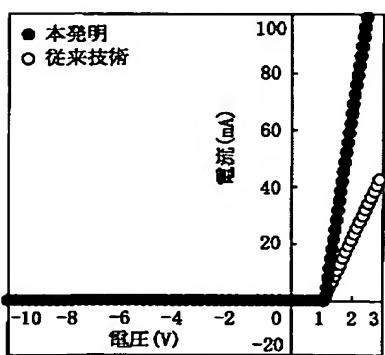
【図7】



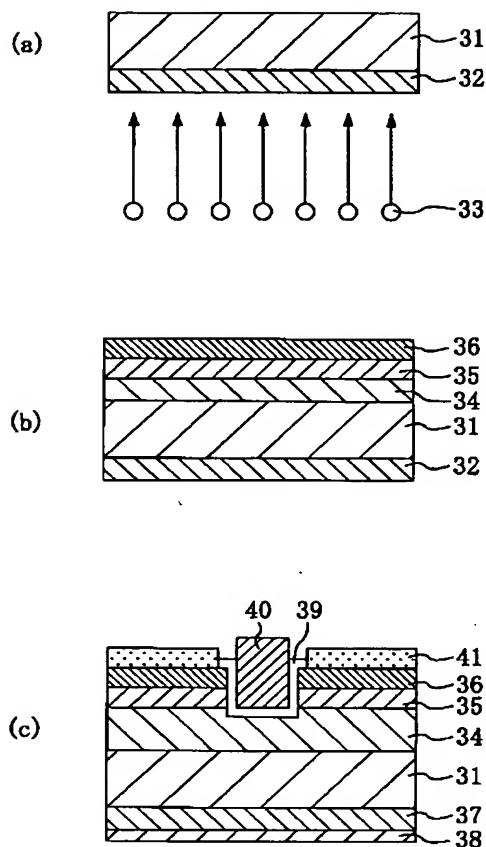
【図8】



【図9】



【図10】



フロントページの続き

(51) Int.CI. ⁷	識別記号	F I	マーク(参考)
H 0 1 L 21/336		H 0 1 L 29/48	D
29/78	6 5 2	21/265	Z
	6 5 3	29/78	6 5 8 A
			6 5 8 E

(72)発明者 楠本 修
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 横川 俊哉
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 山下 賢哉
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 宮永 良子
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 北畠 真
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 4K029 AA04 BD01 CA10 GA01
4M104 AA03 BB01 BB05 BB09 CC01
DD26 FF02 GG03 GG09 GG18
HH15
5F045 AB06 AC01 AD17 AD18 AE29
AF02 AF13 BB16 CB10 DA52
DA57 EK02 GB12 HA05 HA06

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年3月16日(2006.3.16)

【公開番号】特開2003-86816(P2003-86816A)

【公開日】平成15年3月20日(2003.3.20)

【出願番号】特願2001-271419(P2001-271419)

【国際特許分類】

H 01 L	29/872	(2006.01)
H 01 L	29/47	(2006.01)
C 23 C	14/48	(2006.01)
H 01 L	21/205	(2006.01)
H 01 L	21/265	(2006.01)
H 01 L	29/78	(2006.01)
H 01 L	29/12	(2006.01)
H 01 L	21/336	(2006.01)

【F I】

H 01 L	29/48	D
C 23 C	14/48	Z
H 01 L	21/205	
H 01 L	21/265	6 0 2 A
H 01 L	29/78	6 5 2 T
H 01 L	29/78	6 5 3 A
H 01 L	21/265	Z
H 01 L	29/78	6 5 8 A
H 01 L	29/78	6 5 8 E

【手続補正書】

【提出日】平成18年1月25日(2006.1.25)

【手続補正1】

【補正対象書類名】図面

【補正対象項目名】図5

【補正方法】変更

【補正の内容】

【図5】

